



(12)发明专利申请

(10)申请公布号 CN 111223443 A

(43)申请公布日 2020.06.02

(21)申请号 202010188767.7

(22)申请日 2020.03.17

(71)申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

申请人 北京京东方显示技术有限公司

(72)发明人 丛宁 玄明花 张粲 杨明 王灿
袁丽君

(74)专利代理机构 北京三高永信知识产权代理
有限责任公司 11138

代理人 杨广宇

(51)Int.Cl.

G09G 3/32(2016.01)

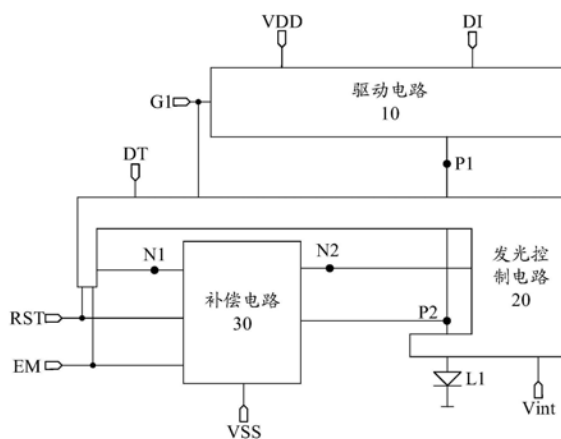
权利要求书5页 说明书17页 附图14页

(54)发明名称

像素电路及其驱动方法、显示基板、显示装置

(57)摘要

本申请提供了一种像素电路及其驱动方法、显示基板、显示装置,属于显示技术领域。该像素电路包括补偿电路,由于该补偿电路可以根据第一控制节点的电位调整第二控制节点(即控制第一连接节点和第二连接节点通断的晶体管的栅极)的电位,且可以根据第二连接节点(即控制第一连接节点和第二连接节点通断的晶体管的第二极)的电位调整第二控制节点的电位。因此在对像素电路进行驱动时,可以通过控制各控制信号的电位,使得最终输出至第二控制节点的电位受该晶体管的阈值电压影响较小,即降低了阈值电压漂移对显示均一性造成的影响,本申请提供的显示装置显示效果较好。



1. 一种像素电路,其特征在于,所述像素电路包括:驱动电路、发光控制电路和补偿电路;

所述驱动电路分别与第一电源端、栅极信号端、第一数据信号端和第一连接节点耦接,所述驱动电路用于响应于来自所述第一电源端的第一电源信号,来自所述栅极信号端的栅极驱动信号以及来自所述第一数据信号端的第一数据信号,向所述第一连接节点输出驱动电流;

所述发光控制电路分别与所述第一连接节点、所述栅极信号端、复位信号端、发光控制信号端、第二电源端、第二数据信号端、第一控制节点、第二控制节点、第二连接节点和发光元件耦接,所述发光控制电路用于响应于来自所述复位信号端的复位信号向所述第一连接节点和所述第一控制节点输出来自所述第二电源端的第二电源信号,用于响应于所述栅极驱动信号向所述第一控制节点输出来自所述第二数据信号端的第二数据信号,用于响应于来自所述发光控制信号端的发光控制信号控制所述第二连接节点与所述发光元件的通断,以及用于响应于所述第二控制节点的电位控制所述第一连接节点和所述第二连接节点的通断;

所述补偿电路分别与第三电源端、所述发光控制信号端、所述复位信号端、所述第一控制节点、所述第二控制节点和所述第二连接节点耦接,所述补偿电路用于根据所述第一控制节点的电位调整所述第二控制节点的电位,用于响应于所述复位信号根据所述第二连接节点的电位调整所述第二控制节点的电位,以及用于响应于所述发光控制信号根据所述第一控制节点的电位,以及来自所述第三电源端的第三电源信号调整所述第二控制节点的电位。

2. 根据权利要求1所述的电路,其特征在于,所述补偿电路包括:第一补偿子电路和第二补偿子电路;

所述第一补偿子电路分别与所述发光控制信号端、所述第三电源端、所述第一控制节点和所述第二控制节点耦接,所述第一补偿子电路用于根据所述第一控制节点的电位调整所述第二控制节点的电位,以及用于响应于所述发光控制信号根据所述第三电源信号和所述第一控制节点的电位调整所述第二控制节点的电位;

所述第二补偿子电路分别与所述复位信号端、所述第二连接节点和所述第二控制节点耦接,所述第二补偿子电路用于响应于所述复位信号根据所述第二连接节点的电位调整所述第二控制节点的电位。

3. 根据权利要求2所述的电路,其特征在于,所述第一补偿子电路包括:第一补偿晶体管、第二补偿晶体管、补偿电容和补偿电阻;

所述第一补偿晶体管的栅极与所述发光控制信号端耦接,所述第一补偿晶体管的第一极与所述第三电源端耦接,所述第一补偿晶体管的第二极与所述第一控制节点耦接;

所述第二补偿晶体管的栅极与所述发光控制信号端耦接,所述第二补偿晶体管的第一极与所述补偿电阻的一端耦接,所述第二补偿晶体管的第二极与所述第二控制节点耦接;

所述补偿电阻的另一端与所述第三电源端耦接;

所述补偿电容的一端与所述第一控制节点耦接,所述补偿电容的另一端与所述第二控制节点耦接。

4. 根据权利要求2所述的电路,其特征在于,所述第二补偿子电路包括:第三补偿晶体

管；

所述第三补偿晶体管的栅极与所述复位信号端耦接，所述第三补偿晶体管的第一极与所述第二连接节点耦接，所述第三补偿晶体管的第二极与所述第二控制节点耦接。

5. 根据权利要求1至4任一所述的电路，其特征在于，所述发光控制电路还用于响应于所述复位信号，向所述发光元件输出所述第二电源信号；所述发光控制电路包括：第一复位子电路、第一数据写入子电路、第一发光控制子电路和开关子电路；

所述第一复位子电路分别与所述复位信号端、所述第二电源端、所述第一连接节点、所述第一控制节点和所述发光元件耦接，所述第一复位子电路用于响应于所述复位信号向所述第一连接节点、所述第一控制节点和所述发光元件输出所述第二电源信号；

所述第一数据写入子电路分别与所述栅极信号端、所述第二数据信号端和所述第一控制节点耦接，所述第一数据写入子电路用于响应于所述栅极驱动信号向所述第一控制节点输出所述第二数据信号；

所述第一发光控制子电路分别与所述发光控制信号端、所述第二连接节点和所述发光元件耦接，所述第一发光控制子电路用于响应于所述发光控制信号控制所述第二连接节点和所述发光元件的通断；

所述开关子电路分别与所述第二控制节点、所述第一连接节点和所述第二连接节点耦接，所述开关子电路用于响应于所述第二控制节点的电位控制所述第一连接节点和所述第二连接节点的通断。

6. 根据权利要求5所述的电路，其特征在于，所述第一复位子电路包括：第一复位晶体管、第二复位晶体管和第三复位晶体管；

所述第一复位晶体管、所述第二复位晶体管和所述第三复位晶体管的栅极均与所述复位信号端耦接；

所述第一复位晶体管、所述第二复位晶体管和所述第三复位晶体管的第一极均与所述第二电源端耦接；

所述第一复位晶体管的第二极与所述第一连接节点耦接，所述第二复位晶体管的第二极与所述第一控制节点耦接，所述第三复位晶体管的第二极与所述发光元件耦接。

7. 根据权利要求5所述的电路，其特征在于，所述第一数据写入子电路包括：第一数据写入晶体管；

所述第一数据写入晶体管的栅极与所述栅极信号端耦接，所述第一数据写入晶体管的第一极与所述第二数据信号端耦接，所述第一数据写入晶体管的第二极与所述第一控制节点耦接。

8. 根据权利要求5所述的电路，其特征在于，所述第一发光控制子电路包括：第一发光控制晶体管；

所述第一发光控制晶体管的栅极与所述发光控制信号端耦接，所述第一发光控制晶体管的第一极与所述第二连接节点耦接，所述第一发光控制晶体管的第二极与所述发光元件耦接。

9. 根据权利要求5所述的电路，其特征在于，所述开关子电路包括：开关晶体管；

所述开关晶体管的栅极与所述第二控制节点耦接，所述开关晶体管的第一极与所述第一连接节点耦接，所述开关晶体管的第二极与所述第二连接节点耦接。

10. 根据权利要求1至4任一所述的电路,其特征在于,所述像素电路还包括:串联在所述驱动电路和所述第一连接节点之间的开关控制电路;

所述开关控制电路分别与所述发光控制信号端、所述驱动电路和所述第一连接节点耦接,所述开关控制电路用于响应于所述发光控制信号控制所述驱动电路和所述第一连接节点的通断。

11. 根据权利要求10所述的电路,其特征在于,所述开关控制电路包括:开关控制晶体管;

所述开关控制晶体管的栅极与所述发光控制信号端耦接,所述开关控制晶体管的第一极与所述驱动电路耦接,所述开关控制晶体管的第二极与所述第一连接节点耦接。

12. 根据权利要求1至4任一所述的电路,其特征在于,所述驱动电路包括:第二数据写入子电路、第二复位子电路、第二发光控制子电路、存储子电路、第三补偿子电路和驱动子电路;

所述第二数据写入子电路分别与所述栅极信号端、所述第一数据信号端和第三连接节点耦接,所述第二数据写入子电路用于响应于所述栅极驱动信号向所述第三连接节点输出所述第一数据信号;

所述第二复位子电路分别与所述复位信号端、所述第二电源端和第三控制节点耦接,所述第二复位子电路用于响应于所述复位信号向所述第三控制节点输出所述第二电源信号;

所述第二发光控制子电路分别与所述发光控制信号端、所述第一电源端和所述第三连接节点耦接,所述第二发光控制子电路用于响应于所述发光控制信号向所述第三连接节点输出所述第一电源信号;

所述存储子电路分别与所述第三控制节点和所述第一电源端耦接,所述存储子电路用于控制所述第三控制节点的电位;

所述第三补偿子电路分别与所述栅极信号端、所述第一连接节点和所述第一控制节点耦接,所述第三补偿子电路用于响应于所述栅极驱动信号根据所述第一连接节点的电位调整所述第三控制节点的电位;

所述驱动子电路分别与所述第三控制节点、所述第三连接节点和所述第一连接节点耦接,所述驱动子电路用于响应于所述第三控制节点的电位和所述第三连接节点的电位,向所述第一连接节点输出驱动电流。

13. 根据权利要求12所述的电路,其特征在于,所述第二数据写入子电路包括:第二数据写入晶体管;所述第二复位子电路包括:第四复位晶体管;所述第二发光控制子电路包括:第二发光控制晶体管;所述存储子电路包括:存储电容;所述第三补偿子电路包括:第四补偿晶体管;所述驱动子电路包括:驱动晶体管;

所述第二数据写入晶体管的栅极与所述栅极信号端耦接,所述第二数据写入晶体管的第一极与所述第一数据信号端耦接,所述第二数据写入晶体管的第二极与所述第三连接节点耦接;

所述第四复位晶体管的栅极与所述复位信号端耦接,所述第四复位晶体管的第一极与所述第二电源端耦接,所述第四复位晶体管的第二极与所述第三控制节点耦接;

所述第二发光控制晶体管的栅极与所述发光控制信号端耦接,所述第二发光控制晶体

管的第一极与所述第一电源端耦接,所述第二发光控制晶体管的第二极与所述第三连接节点耦接;

所述存储电容的一端与所述第三控制节点耦接,所述存储电容的另一端与所述第一电源端耦接;

所述第四补偿晶体管的栅极与所述栅极信号端耦接,所述第四补偿晶体管的第一极与所述第一连接节点耦接,所述第四补偿晶体管的第二极与所述第三控制节点耦接;

所述驱动晶体管的栅极与所述第三控制节点耦接,所述驱动晶体管的第一极与所述第三连接节点耦接,所述驱动晶体管的第二极与所述第一连接节点耦接。

14. 根据权利要求13所述的电路,其特征在于,所述补偿电路包括:第一补偿晶体管、第二补偿晶体管、补偿电容、补偿电阻和第三补偿晶体管;所述发光控制电路包括:第一复位晶体管、第二复位晶体管、第三复位晶体管、第一数据写入晶体管、第一发光控制晶体管和开关晶体管;

所述第一补偿晶体管的栅极与所述发光控制信号端耦接,所述第一补偿晶体管的第一极与所述第三电源端耦接,所述第一补偿晶体管的第二极与所述第一控制节点耦接;所述第二补偿晶体管的栅极与所述发光控制信号端耦接,所述第二补偿晶体管的第一极与所述补偿电阻的一端耦接,所述第二补偿晶体管的第二极与所述第二控制节点耦接;所述补偿电阻的另一端与所述第三电源端耦接;所述补偿电容的一端与所述第一控制节点耦接,所述补偿电容的另一端与所述第二控制节点耦接;所述第三补偿晶体管的栅极与所述复位信号端耦接,所述第三补偿晶体管的第一极与所述第二连接节点耦接,所述第三补偿晶体管的第二极与所述第二控制节点耦接;

所述第一复位晶体管、所述第二复位晶体管和所述第三复位晶体管的栅极均与所述复位信号端耦接;所述第一复位晶体管、所述第二复位晶体管和所述第三复位晶体管的第一极均与所述第二电源端耦接;所述第一复位晶体管的第二极与所述第一连接节点耦接,所述第二复位晶体管的第二极与所述第一控制节点耦接,所述第三复位晶体管的第二极与所述发光元件耦接;所述第一数据写入晶体管的栅极与所述栅极信号端耦接,所述第一数据写入晶体管的第一极与所述第二数据信号端耦接,所述第一数据写入晶体管的第二极与所述第一控制节点耦接;所述第一发光控制晶体管的栅极与所述发光控制信号端耦接,所述第一发光控制晶体管的第一极与所述第二连接节点耦接,所述第一发光控制晶体管的第二极与所述发光元件耦接;所述开关晶体管的栅极与所述第二控制节点耦接,所述开关晶体管的第一极与所述第一连接节点耦接,所述开关晶体管的第二极与所述第二连接节点耦接;

所述像素电路还包括:开关控制晶体管;所述开关控制晶体管的栅极与所述发光控制信号端耦接,所述开关控制晶体管的第一极与所述驱动电路耦接,所述开关控制晶体管的第二极与所述第一连接节点耦接。

15. 一种像素电路的驱动方法,其特征在于,用于驱动如权利要求1至14任一所述的像素电路,所述方法包括:

复位阶段,复位信号端提供的复位信号的电位为第一电位,发光控制电路响应于所述复位信号向第一连接节点和第一控制节点输出来自第二电源端的第二电源信号,补偿电路根据所述第一控制节点的电位调整第二控制节点的电位,所述发光控制电路还响应于所述

第二控制节点的电位控制所述第一连接节点和第二连接节点导通,所述补偿电路还响应于所述复位信号根据所述第二连接节点的电位调整所述第二控制节点的电位;

数据写入阶段,栅极信号端提供的栅极驱动信号的电位为第一电位,所述发光控制电路响应于所述栅极驱动信号向所述第一控制节点输出来自第二数据信号端的第二数据信号,所述补偿电路根据所述第一控制节点的电位调整所述第二控制节点的电位;

发光控制阶段,驱动电路响应于来自第一电源端的第一电源信号、所述栅极驱动信号和来自第一数据信号端的第一数据信号,向所述第一连接节点输出驱动电流,发光控制信号端提供的发光控制信号的电位为第一电位,所述补偿电路响应于所述发光控制信号根据所述第一控制节点的电位和来自第三电源端的第三电源信号调整所述第二控制节点的电位,所述发光控制电路响应于所述第二控制节点的电位控制所述第一连接节点和所述第二连接节点导通,以及响应于所述发光控制信号控制所述第二连接节点和所述发光元件导通。

16.一种显示基板,其特征在于,所述显示基板包括:多个像素单元,所述多个像素单元中,至少一个所述像素单元包括:发光元件,以及与所述发光元件耦接的如权利要求1至14任一所述的像素电路。

17.根据权利要求16所述的显示基板,其特征在于,所述发光元件包括:微型发光二极管。

18.一种显示装置,其特征在于,所述显示装置包括:信号驱动电路,以及如权利要求16或17所述的显示基板;

所述信号驱动电路与所述显示基板包括的像素电路中的各信号端耦接,所述信号驱动电路用于为所述各信号端提供信号。

像素电路及其驱动方法、显示基板、显示装置

技术领域

[0001] 本公开涉及显示技术领域,特别涉及一种像素电路及其驱动方法、显示基板、显示装置。

背景技术

[0002] 微型发光二极管(micro light emitting diode, Micro LED)因其高亮度、高发光效率、体积小且功耗低等诸多优点被广泛的应用于各类显示装置中。

[0003] 相关技术中,驱动Micro LED发光的像素电路一般包括:驱动晶体管和开关晶体管。其中,开关晶体管可以将其所耦接的数据信号端提供的的数据电压输出至驱动晶体管;驱动晶体管可以将该数据电压转换为用于驱动Micro LED发光的驱动电流输出至Micro LED以驱动Micro LED发光。

[0004] 但是,由于驱动电流的大小与驱动晶体管的阈值电压相关,因此当驱动晶体管的阈值电压发生漂移时,会导致输出至Micro LED的驱动电流出现异常,进而导致Micro LED显示装置的显示亮度的均匀性较低,显示效果较差。

发明内容

[0005] 本公开提供了一种像素电路及其驱动方法、显示基板、显示装置,可以解决相关技术中显示均匀性较低,显示效果较差的问题。所述技术方案如下:

[0006] 一方面,提供了一种像素电路,所述像素电路包括:驱动电路、发光控制电路和补偿电路;

[0007] 所述驱动电路分别与第一电源端、栅极信号端、第一数据信号端和第一连接节点耦接,所述驱动电路用于响应于来自所述第一电源端的第一电源信号,来自所述栅极信号端的栅极驱动信号以及来自所述第一数据信号端的第一数据信号,向所述第一连接节点输出驱动电流;

[0008] 所述发光控制电路分别与所述第一连接节点、所述栅极信号端、复位信号端、发光控制信号端、第二电源端、第二数据信号端、第一控制节点、第二控制节点、第二连接节点和发光元件耦接,所述发光控制电路用于响应于来自所述复位信号端的复位信号向所述第一连接节点和所述第一控制节点输出来自所述第二电源端的第二电源信号,用于响应于所述栅极驱动信号向所述第一控制节点输出来自所述第二数据信号端的第二数据信号,用于响应于来自所述发光控制信号端的发光控制信号控制所述第二连接节点与所述发光元件的通断,以及用于响应于所述第二控制节点的电位控制所述第一连接节点和所述第二连接节点的通断;

[0009] 所述补偿电路分别与第三电源端、所述发光控制信号端、所述复位信号端、所述第一控制节点、所述第二控制节点和所述第二连接节点耦接,所述补偿电路用于根据所述第一控制节点的电位调整所述第二控制节点的电位,用于响应于所述复位信号根据所述第二连接节点的电位调整所述第二控制节点的电位,以及用于响应于所述发光控制信号根据所

述第一控制节点的电位,以及来自所述第三电源端的第三电源信号调整所述第二控制节点的电位。

[0010] 可选的,所述补偿电路包括:第一补偿子电路和第二补偿子电路;

[0011] 所述第一补偿子电路分别与所述发光控制信号端、所述第三电源端、所述第一控制节点和所述第二控制节点耦接,所述第一补偿子电路用于根据所述第一控制节点的电位调整所述第二控制节点的电位,以及用于响应于所述发光控制信号根据所述第三电源信号和所述第一控制节点的电位调整所述第二控制节点的电位;

[0012] 所述第二补偿子电路分别与所述复位信号端、所述第二连接节点和所述第二控制节点耦接,所述第二补偿子电路用于响应于所述复位信号根据所述第二连接节点的电位调整所述第二控制节点的电位。

[0013] 可选的,所述第一补偿子电路包括:第一补偿晶体管、第二补偿晶体管、补偿电容和补偿电阻;

[0014] 所述第一补偿晶体管的栅极与所述发光控制信号端耦接,所述第一补偿晶体管的第一极与所述第三电源端耦接,所述第一补偿晶体管的第二极与所述第一控制节点耦接;

[0015] 所述第二补偿晶体管的栅极与所述发光控制信号端耦接,所述第二补偿晶体管的第一极与所述补偿电阻的一端耦接,所述第二补偿晶体管的第二极与所述第二控制节点耦接;

[0016] 所述补偿电阻的另一端与所述第三电源端耦接;

[0017] 所述补偿电容的一端与所述第一控制节点耦接,所述补偿电容的另一端与所述第二控制节点耦接。

[0018] 可选的,所述第二补偿子电路包括:第三补偿晶体管;

[0019] 所述第三补偿晶体管的栅极与所述复位信号端耦接,所述第三补偿晶体管的第一极与所述第二连接节点耦接,所述第三补偿晶体管的第二极与所述第二控制节点耦接。

[0020] 可选的,所述发光控制电路还用于响应于所述复位信号,向所述发光元件输出所述第二电源信号;所述发光控制电路包括:第一复位子电路、第一数据写入子电路、第一发光控制子电路和开关子电路;

[0021] 所述第一复位子电路分别与所述复位信号端、所述第二电源端、所述第一连接节点、所述第一控制节点和所述发光元件耦接,所述第一复位子电路用于响应于所述复位信号向所述第一连接节点、所述第一控制节点和所述发光元件输出所述第二电源信号;

[0022] 所述第一数据写入子电路分别与所述栅极信号端、所述第二数据信号端和所述第一控制节点耦接,所述第一数据写入子电路用于响应于所述栅极驱动信号向所述第一控制节点输出所述第二数据信号;

[0023] 所述第一发光控制子电路分别与所述发光控制信号端、所述第二连接节点和所述发光元件耦接,所述第一发光控制子电路用于响应于所述发光控制信号控制所述第二连接节点和所述发光元件的通断;

[0024] 所述开关子电路分别与所述第二控制节点、所述第一连接节点和所述第二连接节点耦接,所述开关子电路用于响应于所述第二控制节点的电位控制所述第一连接节点和所述第二连接节点通断。

[0025] 可选的,所述第一复位子电路包括:第一复位晶体管、第二复位晶体管和第三复位

晶体管；

[0026] 所述第一复位晶体管、所述第二复位晶体管和所述第三复位晶体管的栅极均与所述复位信号端耦接；

[0027] 所述第一复位晶体管、所述第二复位晶体管和所述第三复位晶体管的第一极均与所述第二电源端耦接；

[0028] 所述第一复位晶体管的第二极与所述第一连接节点耦接，所述第二复位晶体管的第二极与所述第一控制节点耦接，所述第三复位晶体管的第二极与所述发光元件耦接。

[0029] 可选的，所述第一数据写入子电路包括：第一数据写入晶体管；

[0030] 所述第一数据写入晶体管的栅极与所述栅极信号端耦接，所述第一数据写入晶体管的第一极与所述第二数据信号端耦接，所述第一数据写入晶体管的第二极与所述第一控制节点耦接。

[0031] 可选的，所述第一发光控制子电路包括：第一发光控制晶体管；

[0032] 所述第一发光控制晶体管的栅极与所述发光控制信号端耦接，所述第一发光控制晶体管的第一极与所述第二连接节点耦接，所述第一发光控制晶体管的第二极与所述发光元件耦接。

[0033] 可选的，所述开关子电路包括：开关晶体管；

[0034] 所述开关晶体管的栅极与所述第二控制节点耦接，所述开关晶体管的第一极与所述第一连接节点耦接，所述开关晶体管的第二极与所述第二连接节点耦接。

[0035] 可选的，所述像素电路还包括：串联在所述驱动电路和所述第一连接节点之间的开关控制电路；

[0036] 所述开关控制电路分别与所述发光控制信号端、所述驱动电路和所述第一连接节点耦接，所述开关控制电路用于响应于所述发光控制信号控制所述驱动电路和所述第一连接节点的通断。

[0037] 可选的，所述开关控制电路包括：开关控制晶体管；

[0038] 所述开关控制晶体管的栅极与所述发光控制信号端耦接，所述开关控制晶体管的第一极与所述驱动电路耦接，所述开关控制晶体管的第二极与所述第一连接节点耦接。

[0039] 可选的，所述驱动电路包括：第二数据写入子电路、第二复位子电路、第二发光控制子电路、存储子电路、第三补偿子电路和驱动子电路；

[0040] 所述第二数据写入子电路分别与所述栅极信号端、所述第一数据信号端和第三连接节点耦接，所述第二数据写入子电路用于响应于所述栅极驱动信号向所述第三连接节点输出所述第一数据信号；

[0041] 所述第二复位子电路分别与所述复位信号端、所述第二电源端和第三控制节点耦接，所述第二复位子电路用于响应于所述复位信号向所述第三控制节点输出所述第二电源信号；

[0042] 所述第二发光控制子电路分别与所述发光控制信号端、所述第一电源端和所述第三连接节点耦接，所述第二发光控制子电路用于响应于所述发光控制信号向所述第三连接节点输出所述第一电源信号；

[0043] 所述存储子电路分别与所述第三控制节点和所述第一电源端耦接，所述存储子电路用于控制所述第三控制节点的电位；

[0044] 所述第三补偿子电路分别与所述栅极信号端、所述第一连接节点和所述第一控制节点耦接,所述第三补偿子电路用于响应于所述栅极驱动信号根据所述第一连接节点的电位调整所述第三控制节点的电位;

[0045] 所述驱动子电路分别与所述第三控制节点、所述第三连接节点和所述第一连接节点耦接,所述驱动子电路用于响应于所述第三控制节点的电位和所述第三连接节点的电位,向所述第一连接节点输出驱动电流。

[0046] 可选的,所述第二数据写入子电路包括:第二数据写入晶体管;所述第二复位子电路包括:第四复位晶体管;所述第二发光控制子电路包括:第二发光控制晶体管;所述存储子电路包括:存储电容;所述第三补偿子电路包括:第四补偿晶体管;所述驱动子电路包括:驱动晶体管;

[0047] 所述第二数据写入晶体管的栅极与所述栅极信号端耦接,所述第二数据写入晶体管的第一极与所述第一数据信号端耦接,所述第二数据写入晶体管的第二极与所述第三连接节点耦接;

[0048] 所述第四复位晶体管的栅极与所述复位信号端耦接,所述第四复位晶体管的第一极与所述第二电源端耦接,所述第四复位晶体管的第二极与所述第三控制节点耦接;

[0049] 所述第二发光控制晶体管的栅极与所述发光控制信号端耦接,所述第二发光控制晶体管的第一极与所述第一电源端耦接,所述第二发光控制晶体管的第二极与所述第三连接节点耦接;

[0050] 所述存储电容的一端与所述第三控制节点耦接,所述存储电容的另一端与所述第一电源端耦接;

[0051] 所述第四补偿晶体管的栅极与所述栅极信号端耦接,所述第四补偿晶体管的第一极与所述第一连接节点耦接,所述第四补偿晶体管的第二极与所述第三控制节点耦接;

[0052] 所述驱动晶体管的栅极与所述第三控制节点耦接,所述驱动晶体管的第一级与所述第三连接节点耦接,所述驱动晶体管的第二极与所述第一连接节点耦接。

[0053] 另一方面,提供了一种像素电路的驱动方法,用于驱动如上述方面所述的像素电路,所述方法包括:

[0054] 复位阶段,复位信号端提供的复位信号的电位为第一电位,发光控制电路响应于所述复位信号向第一连接节点和第一控制节点输出来自第二电源端的第二电源信号,补偿电路根据所述第一控制节点的电位调整第二控制节点的电位,所述发光控制电路还响应于所述第二控制节点的电位控制所述第一连接节点和第二连接节点导通,所述补偿电路还响应于所述复位信号根据所述第二连接节点的电位调整所述第二控制节点的电位;

[0055] 数据写入阶段,栅极信号端提供的栅极驱动信号的电位为第一电位,所述发光控制电路响应于所述栅极驱动信号向所述第一控制节点输出来自第二数据信号端的第二数据信号,所述补偿电路根据所述第一控制节点的电位调整所述第二控制节点的电位;

[0056] 发光控制阶段,驱动电路响应于来自第一电源端的第一电源信号、所述栅极驱动信号和来自第一数据信号端的第一数据信号,向所述第一连接节点输出驱动电流,发光控制信号端提供的发光控制信号的电位为第一电位,所述补偿电路响应于所述发光控制信号根据所述第一控制节点的电位和来自第三电源端的第三电源信号调整所述第二控制节点的电位,所述发光控制电路响应于所述第二控制节点的电位控制所述第一连接节点和所述

第二连接节点导通,以及响应于所述发光控制信号控制所述第二连接节点和所述发光元件导通。

[0057] 又一方面,提供了一种显示基板,所述显示基板包括:多个像素单元,所述多个像素单元中,至少一个所述像素单元包括:发光元件,以及与所述发光元件耦接的如上述方面所述的像素电路。

[0058] 可选的,所述发光元件包括:微型发光二极管。

[0059] 再一方面,提供了一种显示装置,所述显示装置包括:信号驱动电路,以及如上述方面所述的显示基板;

[0060] 所述信号驱动电路与所述显示基板包括的像素电路中的各信号端耦接,所述信号驱动电路用于为所述各信号端提供信号。

[0061] 本公开提供的技术方案带来的有益效果至少可以包括:

[0062] 本公开实施例提供了一种像素电路及其驱动方法、显示基板、显示装置。该像素电路包括补偿电路,由于该补偿电路可以根据第一控制节点的电位调整第二控制节点(即控制第一连接节点和第二连接节点通断的晶体管的栅极)的电位,且可以根据第二连接节点(即控制第一连接节点和第二连接节点通断的晶体管的第二极)的电位调整第二控制节点的电位。因此在对像素电路进行驱动时,可以通过控制各控制信号的电位,使得最终输出至第二控制节点的电位受该晶体管的阈值电压影响较小,即降低了阈值电压漂移对显示均一性造成的影响,本公开实施例提供的显示装置显示效果较好。

附图说明

[0063] 为了更清楚地说明本公开实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本公开的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0064] 图1是本公开实施例提供的一种Micro LED的发光效率和电流密度示意图;

[0065] 图2是本公开实施例提供的一种像素电路的结构示意图;

[0066] 图3是本公开实施例提供的另一种像素电路的结构示意图;

[0067] 图4是本公开实施例提供的又一种像素电路的结构示意图;

[0068] 图5是本公开实施例提供的再一种像素电路的结构示意图;

[0069] 图6是本公开实施例提供的再一种像素电路的结构示意图;

[0070] 图7是本公开实施例提供的再一种像素电路的结构示意图;

[0071] 图8是本公开实施例提供的再一种像素电路的结构示意图;

[0072] 图9是本公开实施例提供的一种像素电路的驱动方法流程图;

[0073] 图10是本公开实施例提供的一种像素电路各信号端的时序图;

[0074] 图11是本公开实施例提供的一种像素电路在复位阶段的等效电路图;

[0075] 图12是本公开实施例提供的一种像素电路在数据写入阶段的等效电路图;

[0076] 图13是本公开实施例提供的一种像素电路在发光阶段的等效电路图;

[0077] 图14是相关技术中的一种第二控制节点电位的系数值示意图;

[0078] 图15是本公开实施例提供的一种第二控制节点电位的系数值示意图;

- [0079] 图16是本公开实施例提供的一种发光时长和数据信号电位关系示意图；
- [0080] 图17是本公开实施例提供的一种发光时长和数据信号电位关系仿真图；
- [0081] 图18是本公开实施例提供的一种显示基板的结构示意图；
- [0082] 图19是本公开实施例提供的一种显示装置的结构示意图。

具体实施方式

[0083] 为使本公开的目的、技术方案和优点更加清楚，下面将结合附图对本公开实施方式作进一步地详细描述。

[0084] 本公开所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件，根据在电路中的作用本公开的实施例所采用的晶体管主要为开关晶体管。由于这里采用的开关晶体管的源极、漏极是对称的，所以其源极、漏极是可以互换的。在本公开实施例中，将其中源极称为第一极，漏极称为第二极，或者，可以将漏极称为第一极，源极称为第二极。按附图中的形态规定晶体管的中间端为栅极、信号输入端为源极、信号输出端为漏极。本公开实施例所采用的开关晶体管可以为P型开关晶体管，P型开关晶体管在栅极为低电平时导通，在栅极为高电平时截止。此外，本公开各个实施例中的多个信号都对应有第一电位和第二电位。第一电位和第二电位仅代表该信号的电位有2个状态量，不代表全文中第一电位或第二电位具有特定的数值。本公开实施例中以第一电位为有效电位为例进行说明。

[0085] Micro LED可以理解为将LED微缩化和矩阵化后的一种自发光元件，其发光效率和输出至其的驱动电流的电流密度具有一定关系。例如，图1示出了一种Micro LED的发光效率和电流密度的关系。如图1所示，其横轴，即x轴可以是指电流密度；其纵轴，即y轴可以是指发光效率。

[0086] 参考图1可以看出，Micro LED的发光效率会随着电流密度的变化而变化，且在低电流密度下(如图1所示的0-J1区间)发光效率的变化较为明显，在高电流密度下(如图1所示的J1-J2区间)发光效率较为稳定，不会发生明显变化。Micro LED的色坐标也会随着电流密度的变化而发生变化。且若采用相关技术中的像素电路驱动Micro LED发光，Micro LED的发光亮度还会受到阈值电压漂移的影响。相关技术中Micro LED的发光效率稳定性较差，Micro LED显示装置的显示均一性较差。

[0087] 本公开实施例提供了一种像素电路，该像素电路不仅能够避免因驱动晶体管的阈值电压漂移而造成显示亮度均一性较差的现象，而且能够通过调节驱动电流大小和Micro LED的发光时长共同控制灰阶，保证Micro LED可以始终工作在高电流密度下，即使得Micro LED的发光效率能够始终保证稳定。

[0088] 图2是本公开实施例提供的一种像素电路的结构示意图。如图2所示，该像素电路可以包括：驱动电路10、发光控制电路20和补偿电路30。

[0089] 该驱动电路10可以分别与第一电源端VDD、栅极信号端G1、第一数据信号端DI和第一连接节点P1耦接。该驱动电路10可以响应于来自第一电源端VDD的第一电源信号，来自栅极信号端G1的栅极驱动信号以及来自第一数据信号端DI的第一数据信号，向第一连接节点P1输出驱动电流。

[0090] 该发光控制电路20可以分别与第一连接节点P1、栅极信号端G1、复位信号端RST、

发光控制信号端EM、第二电源端Vint、第二数据信号端DT、第一控制节点N1、第二控制节点N2、第二连接节点P2和发光元件L1耦接。该发光控制电路20可以用于响应于来自复位信号端RST的复位信号向第一连接节点P1和第一控制节点N1输出来自第二电源端Vint的第二电源信号,用于响应于栅极驱动信号向第一控制节点N1输出来自第二数据信号端DT的第二数据信号,用于响应于来自发光控制信号端EM的发光控制信号控制第二连接节点P2与发光元件L1的通断,以及用于响应于第二控制节点N2的电位控制第一连接节点P1和第二连接节点P2的通断。

[0091] 例如,该发光控制电路20可以在复位信号端RST提供的复位信号的电位为第一电位时,向第一连接节点P1和第一控制节点N1输出来自第二电源端Vint的第二电源信号,该第二电源信号的电位可以为第二电位,从而实现对第一连接节点P1和第一控制节点N1的复位。可选的,该第一电位可以为有效电位,该第二电位可以为无效电位,且第一电位相对于第二电位可以为低电位,即第一电位的信号的电压小于第二电位的信号的电压。

[0092] 又例如,该发光控制电路20可以在栅极信号端G1提供的栅极驱动信号的电位为第一电位时,向第一控制节点N1输出来自第二数据信号端DT的第二数据信号。可以在发光控制信号端EM提供的发光控制信号的电位为第一电位时,控制第二连接节点P2与发光元件L1导通。且可以在第二控制节点N2的电位为第一电位时,控制第一连接节点P1和第二连接节点P2导通。若第一电位相对于第二电位为低电位,则也即是发光控制电路20可以在第二控制节点N2的电位小于电位阈值时,控制第一连接节点P1和第二连接节点P2导通。

[0093] 该补偿电路30可以分别与第三电源端VSS、发光控制信号端EM、复位信号端RST、第一控制节点N1、第二控制节点N2和第二连接节点P2耦接。该补偿电路30可以根据第一控制节点N1的电位调整第二控制节点N2的电位,可以响应于复位信号根据第二连接节点P2的电位调整第二控制节点N2的电位,以及可以响应于发光控制信号根据第一控制节点N1的电位和来自第三电源端VSS的第三电源信号调整第二控制节点N2的电位。

[0094] 例如,该补偿电路30可以通过耦合作用根据第一控制节点N1的电位调整第二控制节点N2的电位。该补偿电路30可以在复位信号的电位为第一电位时,根据第二连接节点P2的电位调整第二控制节点N2的电位。且该补偿电路30可以在发光控制信号的电位为第一电位时,根据第一控制节点N1的电位和第三电源信号调整第二控制节点N2的电位。

[0095] 可选的,该第三电源信号的电位可以为第三电位,且第三电位相对于第二电位也可以为低电位。如,该第三电源信号端VSS可以为地端。

[0096] 基于上述各电路的功能可以得出:本公开实施例记载的驱动电路10可以基于第一数据信号控制驱动电流的大小;发光控制电路20和补偿电路30可以基于第二数据信号控制将驱动电流输出至发光元件L1的时长,即控制发光元件L1的发光时长。相应的,该第一数据信号也可以称为电流控制数据信号;第二数据信号也可以称为时长控制数据信号。驱动电路10可以称为电流控制电路;发光控制电路20和补偿电路30组成的电路可以称为时间控制电路。

[0097] 综上所述,本公开实施例提供了一种像素电路,该像素电路包括补偿电路。由于该补偿电路可以根据第一控制节点的电位调整第二控制节点(即控制第一连接节点和第二连接节点通断的晶体管的栅极)的电位,且可以根据第二连接节点(即控制第一连接节点和第二连接节点通断的晶体管的第二极)的电位调整第二控制节点的电位。因此在对像素电路

进行驱动时,可以通过控制各控制信号的电位,使得最终输出至第二控制节点的电位受该晶体管的阈值电压影响较小,即降低了阈值电压漂移对显示均一性造成的影响,本公开实施例提供的显示装置的显示效果较好。

[0098] 图3是本公开实施例提供的另一种像素电路的结构示意图。如图3所示,该补偿电路30可以包括:第一补偿子电路301和第二补偿子电路302。

[0099] 该第一补偿子电路301可以分别与发光控制信号端EM、第三电源端VSS、第一控制节点N1和第二控制节点N2耦接。该第一补偿子电路301可以根据第一控制节点N1的电位调整第二控制节点N2的电位,且可以响应于发光控制信号根据第三电源信号和第一控制节点N1的电位调整第二控制节点N2的电位。

[0100] 例如,该第一补偿子电路301可以通过耦合作用,根据第一控制节点N1的电位调整第二控制节点N2的电位;且可以在发光控制信号的电位为第一电位时,根据第三电源信号和第一控制节点N1的电位调整第二控制节点N2的电位。可选的,若有效电位为低电位,则该第一补偿子电路301可以通过第三电源信号拉低第一控制节点N1的电位,再基于第一控制节点N1的电位进一步拉低第二控制节点N2的电位,从而实现对第二控制节点N2电位的调整。

[0101] 该第二补偿子电路302可以分别与复位信号端RST、第二连接节点P2和第二控制节点N2耦接。该第二补偿子电路302可以响应于复位信号根据第二连接节点P2的电位调整第二控制节点N2的电位。

[0102] 例如,该第二补偿子电路302可以在复位信号的电位为第一电位时,根据第二连接节点P2的电位调整第二控制节点N2的电位。

[0103] 图4是本公开实施例提供的另一种像素电路的结构示意图。如图4所示,该第一补偿子电路301可以包括:第一补偿晶体管B1、第二补偿晶体管B2、补偿电容C1和补偿电阻R1。

[0104] 参考图4,该第一补偿晶体管B1的栅极可以与发光控制信号端EM耦接,第一补偿晶体管B1的第一极可以与第三电源端VSS耦接,第一补偿晶体管B1的第二极可以与第一控制节点N1耦接。

[0105] 该第二补偿晶体管B2的栅极可以与发光控制信号端EM耦接,第二补偿晶体管B2的第一极可以与补偿电阻R1的一端耦接,第二补偿晶体管B2的第二极可以与第二控制节点N2耦接。

[0106] 该补偿电阻R1的另一端可以与第三电源端VSS耦接。

[0107] 该补偿电容C1的一端可以与第一控制节点N1耦接,补偿电容C1的另一端可以与第二控制节点N2耦接。

[0108] 可选的,参考图4,该第二补偿子电路302可以包括:第三补偿晶体管B3。

[0109] 该第三补偿晶体管B3的栅极可以与复位信号端RST耦接,该第三补偿晶体管B3的第一极可以与第二连接节点P2耦接,该第三补偿晶体管B3的第二极可以与第二控制节点N2耦接。

[0110] 可选的,该发光控制电路20还可以响应于复位信号,向发光元件L1输出第二电源信号。继续参考图3,该发光控制电路20可以包括:第一复位子电路201、第一数据写入子电路202、第一发光控制子电路203和开关子电路204。

[0111] 其中,该第一复位子电路201可以分别与复位信号端RST、第二电源端Vint、第一连

接节点P1、第一控制节点N1和发光元件L1耦接。该第一复位子电路201可以响应于复位信号向第一连接节点P1、第一控制节点N1和发光元件L1输出第二电源信号。

[0112] 例如,该第一复位子电路201可以在复位信号的电位为第一电位时,向第一连接节点P1、第一控制节点N1和发光元件L1输出处于第二电位的第二电源信号,从而实现对第一连接节点P1、第一控制节点N1和发光元件L1的复位。

[0113] 通过设置第一复位子电路201先对第一连接节点P1、第一控制节点N1和发光元件L1进行复位,可以使得发光控制电路20和补偿电路30包括的各电路均能够从相同的电位开始工作,保证了像素电路的工作可靠性。

[0114] 该第一数据写入子电路202可以分别与栅极信号端G1、第二数据信号端DT和第一控制节点N1耦接。该第一数据写入子电路202可以响应于栅极驱动信号向第一控制节点N1输出第二数据信号。

[0115] 例如,该第一数据写入子电路202可以在栅极驱动信号的电位为第一电位时,向第一控制节点N1输出第二数据信号。

[0116] 该第一发光控制子电路203可以分别与发光控制信号端EM、第二连接节点P2和发光元件L1耦接。该第一发光控制子电路203可以响应于发光控制信号控制第二连接节点P2和发光元件L1的通断。

[0117] 例如,该第一发光控制子电路203可以在发光控制信号的电位为第一电位时,控制第二连接节点P2和发光元件L1导通。

[0118] 该开关子电路204可以分别与第二控制节点N2、第一连接节点P1和第二连接节点P2耦接。该开关子电路204可以响应于第二控制节点N2的电位控制第一连接节点P1和第二连接节点P2的通断。

[0119] 例如,该开关子电路204可以在第二控制节点N2的电位为第一电位时,控制第一连接节点P1和第二连接节点P2导通。

[0120] 继续参考图4,该第一复位子电路201可以包括:第一复位晶体管F1、第二复位晶体管F2和第三复位晶体管F3。

[0121] 该第一复位晶体管F1、第二复位晶体管F2和第三复位晶体管F3的栅极可以均与复位信号端RST耦接。

[0122] 该第一复位晶体管F1、第二复位晶体管F2和第三复位晶体管F3的第一极可以均与第二电源端Vint耦接。

[0123] 该第一复位晶体管F1的第二极可以与第一连接节点P1耦接,第二复位晶体管F2的第二极可以与第一控制节点N1耦接,第三复位晶体管F3的第二极可以与发光元件L1耦接。

[0124] 可选的,继续参考图4,该第一数据写入子电路202可以包括:第一数据写入晶体管D1。

[0125] 该第一数据写入晶体管D1的栅极可以与栅极信号端G1耦接,该第一数据写入晶体管D1的第一极可以与第二数据信号端DT耦接,该第一数据写入晶体管D1的第二极可以与第一控制节点N1耦接。

[0126] 可选的,继续参考图4,该第一发光控制子电路203可以包括:第一发光控制晶体管M1。

[0127] 该第一发光控制晶体管M1的栅极可以与发光控制信号端EM耦接,第一发光控制晶

晶体管M1的第一极可以与第二连接节点P2耦接,第一发光控制晶体管M1的第二极可以与发光元件L1耦接。

[0128] 可选的,继续参考图4,该开关子电路204可以包括:开关晶体管K1。

[0129] 该开关晶体管K1的栅极可以与第二控制节点N2耦接,该开关晶体管K1的第一极可以与第一连接节点P1耦接,该开关晶体管K1的第二极可以与第二连接节点P2耦接。

[0130] 图5是本公开实施例提供的再一种像素电路的结构示意图。如图5所示,该像素电路还可以包括:串联在驱动电路10和第一连接节点P1之间的开关控制电路40。

[0131] 该开关控制电路40可以分别与发光控制信号端EM、驱动电路10和第一连接节点P1耦接。该开关控制电路40可以响应于发光控制信号控制驱动电路10和第一连接节点P1的通断。

[0132] 例如,该开关控制电路40可以在发光控制信号的电位为第一电位时,控制驱动电路10和第一连接节点P1导通,从而使得驱动电路10将其生成的驱动电流通过该开关控制电路40输出至第一连接节点P1。

[0133] 通过设置开关控制电路40,可以避免驱动电流因除发光控制信号端EM之外的任一信号端提供的信号不稳定时,误输出至发光元件L1。即可以保证仅在发光控制信号的电位为有效电位时,才向发光元件L1输出驱动电流。进一步提高了像素电路驱动发光元件L1发光的可靠性。

[0134] 图6是本公开实施例提供的再一种像素电路的结构示意图。如图6所示,该开关控制电路40可以包括:开关控制晶体管Q1。

[0135] 该开关控制晶体管Q1的栅极可以与发光控制信号端EM耦接,该开关控制晶体管Q1的第一极可以与驱动电路10耦接,该开关控制晶体管Q1的第二极可以与第一连接节点P1耦接。

[0136] 图7是本公开实施例提供的再一种像素电路的结构示意图。如图7所示,该驱动电路10可以包括:第二数据写入子电路101、第二复位子电路102、第二发光控制子电路103、存储子电路104、第三补偿子电路105和驱动子电路106。

[0137] 该第二数据写入子电路101可以分别与栅极信号端G1、第一数据信号端DI和第三连接节点P3耦接。该第二数据写入子电路101可以响应于栅极驱动信号向第三连接节点P3输出第一数据信号。

[0138] 例如,该第二数据写入子电路101可以在栅极驱动信号的电位为第一电位时,向第三连接节点P3输出第一数据信号。

[0139] 该第二复位子电路102可以分别与复位信号端RST、第二电源端Vint和第三控制节点N3耦接。该第二复位子电路102可以响应于复位信号向第三控制节点N3输出第二电源信号。

[0140] 例如,该第二复位子电路102可以在复位信号的电位为第一电位时,向第三控制节点N3输出处于第二电位的第二电源信号,从而实现对第三控制节点N3的复位。

[0141] 该第二发光控制子电路103可以分别与发光控制信号端EM、第一电源端VDD和第三连接节点P3耦接。该第二发光控制子电路103可以响应于发光控制信号向第三连接节点P3输出第一电源信号。

[0142] 例如,该第二发光控制子电路103可以在发光控制信号的电位为第一电位时,向第

三连接节点P3输出处于第一电位的第二电源信号,实现对第三连接节点P3的充电。

[0143] 该存储子电路104可以分别与第三控制节点N3和第一电源端VDD耦接。该存储子电路104可以控制第三控制节点N3的电位。

[0144] 例如,该存储子电路104可以用于存储输出至第三控制节点N3的电位。

[0145] 该第三补偿子电路105可以分别与栅极信号端G1、第一连接节点P1和第一控制节点N1耦接。该第三补偿子电路105可以响应于栅极驱动信号根据第一连接节点P1的电位调整第三控制节点N3的电位。

[0146] 例如,该第三补偿子电路105可以在栅极驱动信号的电位为第一电位时,根据第一连接节点P1的电位调整第三控制节点N3的电位。

[0147] 需要说明的是,参考图7,若该像素电路还包括串联在驱动电路10和第一连接节点P1之间的开关控制电路40,驱动电路10与开关控制电路40的连接点可以记为第四连接节点P4。则相应的,参考图7,该第三补偿子电路105是与第四连接节点P4连接,并基于第四连接节点P4的电位调整第三控制节点N3的电位。且,该开关控制电路40也是用于响应于发光控制信号,控制第四连接节点P4和第一连接节点P1的通断。

[0148] 该驱动子电路106可以分别与第三控制节点N3、第三连接节点P3和第一连接节点P1耦接。该驱动子电路106可以响应于第三控制节点N3的电位和第三连接节点P3的电位,向第一连接节点P1输出驱动电流。

[0149] 例如,该驱动子电路106可以在第三控制节点N3的电位为第一电位时,基于第三控制节点N3的电位和第三连接节点P3的电位向第一连接节点P1输出驱动电流。同理,若参考图7,像素电路还包括开关控制电路40,则该驱动子电路106即是与第四连接节点P4连接。

[0150] 图8是本公开实施例提供的再一种像素电路的结构示意图。如图8所示,该第二数据写入子电路101可以包括:第二数据写入晶体管D2。该第二复位子电路102可以包括:第四复位晶体管F4。该第二发光控制子电路103可以包括:第二发光控制晶体管M2。该存储子电路104可以包括:存储电容C2。该第三补偿子电路105可以包括:第四补偿晶体管B4。该驱动子电路106可以包括:驱动晶体管T1。

[0151] 第二数据写入晶体管D2的栅极可以与栅极信号端G1耦接,第二数据写入晶体管D2的第一极可以与第一数据信号端DI耦接,第二数据写入晶体管D2的第二极可以与第三连接节点P3耦接。

[0152] 第四复位晶体管F4的栅极可以与复位信号端RST耦接,第四复位晶体管F4的第一极可以与第二电源端Vint耦接,第四复位晶体管F4的第二极可以与第三控制节点N3耦接。

[0153] 第二发光控制晶体管M2的栅极可以与发光控制信号端EM耦接,第二发光控制晶体管M2的第一极可以与第一电源端VDD耦接,第二发光控制晶体管M2的第二极可以与第三连接节点P3耦接。

[0154] 存储电容C2的一端可以与第三控制节点N3耦接,存储电容C2的另一端可以与第一电源端VDD耦接。

[0155] 第四补偿晶体管B4的栅极可以与栅极信号端G1耦接,第四补偿晶体管B4的第一极可以与第一连接节点P1耦接,第四补偿晶体管B4的第二极可以与第三控制节点N3耦接。

[0156] 同上述针对第三补偿子电路105的描述,若包括开关控制晶体管Q1,则参考图8,第四补偿晶体管B4的第一极是与第四连接节点P4耦接。

[0157] 驱动晶体管T1的栅极可以与第三控制节点N3耦接,驱动晶体管T1的第一级可以与第三连接节点P3耦接,驱动晶体管T1的第二极可以与第一连接节点P1耦接。

[0158] 同上述针对驱动子电路106的描述,若包括开关控制晶体管Q1,则参考图8,驱动晶体管T1的第二极是与第四连接节点P4耦接。

[0159] 需要说明的是,本公开实施例记载的耦接可以包括:两端之间电连接或者两端之间直接连接(如两端之间通过信号线建立连接)。且,在上述实施例中,均是以各个晶体管为P型晶体管,且第一电位为相对于第二电位低电位为例进行的说明。当然,该各个晶体管还可以采用N型晶体管,当该各个晶体管采用N型晶体管时,该第一电位相对于该第二电位可以为高电位。

[0160] 还需要说明的是,在本公开实施例中,该驱动电路10除了可以为图8所示的6T1C(即六个晶体管和一个电容器)的结构之外,还可以为包括其他数量的晶体管的结构,如2T1C结构或4T1C结构,本公开实施例对此不做限定。

[0161] 综上所述,本公开实施例提供了一种像素电路,该像素电路包括补偿电路。由于该补偿电路可以根据第一控制节点的电位调整第二控制节点(即控制第一连接节点和第二连接节点通断的晶体管的栅极)的电位,且可以根据第二连接节点(即控制第一连接节点和第二连接节点通断的晶体管的第二极)的电位调整第二控制节点的电位。因此在对该像素电路进行驱动时,可以通过控制各控制信号的电位,使得最终输出至第二控制节点的电位受该晶体管的阈值电压影响较小,即降低了阈值电压漂移对显示均一性造成的影响,本公开实施例提供的显示装置显示效果较好。

[0162] 图9是本公开实施例提供的一种像素电路的驱动方法流程图,该方法可以应用于如图2至图8任一所示的像素电路中。如图9所示,该方法可以包括:

[0163] 步骤901、复位阶段,复位信号端提供的复位信号的电位为第一电位,发光控制电路响应于复位信号向第一连接节点和第一控制节点输出来自第二电源端的第二电源信号,补偿电路根据第一控制节点的电位调整第二控制节点的电位,发光控制电路还响应于第二控制节点的电位控制第一连接节点和第二连接节点导通,补偿电路还响应于复位信号根据第二连接节点的电位调整第二控制节点的电位。

[0164] 可选的,该第二电源信号的电位可以为第二电位,且该第二电位相对于第一电位可以为高电位。

[0165] 步骤902、数据写入阶段,栅极信号端提供的栅极驱动信号的电位为第一电位,发光控制电路响应于栅极驱动信号向第一控制节点输出来自第二数据信号端的第二数据信号,补偿电路根据第一控制节点的电位调整第二控制节点的电位。

[0166] 步骤903、发光控制阶段,驱动电路响应于来自第一电源端的第一电源信号、栅极驱动信号和来自第一数据信号端的第一数据信号,向第一连接节点输出驱动电流,发光控制信号端提供的发光控制信号的电位为第一电位,补偿电路响应于发光控制信号根据第一控制节点的电位和来自第三电源端的第三电源信号调整第二控制节点的电位,发光控制电路响应于第二控制节点的电位控制第一连接节点和第二连接节点导通,以及响应于发光控制信号控制第二连接节点和发光元件导通。

[0167] 可选的,该第三电源信号的电位可以为第三电位,且该第三电位相对于第二电位可以为低电位。

[0168] 综上所述,本公开实施例提供了一种像素电路的驱动方法。由于该方法中,补偿电路可以根据第一控制节点的电位调整第二控制节点(即控制第一连接节点和第二连接节点通断的晶体管的栅极)的电位,且可以根据第二连接节点(即控制第一连接节点和第二连接节点通断的晶体管的第二极)的电位调整第二控制节点的电位。因此在对像素电路进行驱动时,可以通过控制各控制信号的电位,使得最终输出至第二控制节点的电位受该晶体管的阈值电压影响较小,即降低了阈值电压漂移对显示均匀性造成的影响,本公开实施例提供的显示装置显示效果较好。

[0169] 以图8所示的像素电路01,发光控制电路20和补偿电路30组成的电路为时长控制电路100,且以像素电路包括的各晶体管均为P型晶体管,第一电位(即有效电位)相对于第二电位(即无效电位)为低电位,第三电位相对于第一电位为低电位为例,详细介绍本公开实施例提供的像素电路的驱动原理。

[0170] 图10是本公开实施例提供的一种像素电路中各信号端的时序图。如图10所示,在复位阶段 t_1 中,复位信号端RST提供的复位信号的电位为第一电位,第一复位晶体管F1、第二复位晶体管F2、第三复位晶体管F3、第四复位晶体管F4和第三补偿晶体管B3均开启。第二电源端Vint可以通过第一复位晶体管F1向第一连接节点P1输出处于第二电位的第二电源信号,从而实现对第一连接节点P1的复位。第二电源端Vint可以通过第二复位晶体管F2向第一控制节点N1输出处于第二电位的第二电源信号,从而实现对第一控制节点N1的复位。第二电源端Vint可以通过第三复位晶体管F3向发光元件L1输出处于第二电位的第二电源信号,从而实现对发光元件L1的复位。且第二电源端Vint可以通过第四复位晶体管F4向第三控制节点N3输出处于第二电位的第二电源信号,从而实现对第三控制节点N3的复位。存储电容C2可以存储第三控制节点N3的电位。

[0171] 另外,因补偿电容C1的耦合作用,第二控制节点N2的电位也变为第二电位,相应的,开关晶体管K1开启,第一连接节点P1和第二连接节点P2导通。此时,第三补偿晶体管B3可以根据第二连接节点P2的电位调整第二控制节点N2的电位,从而将第二电源信号和开关晶体管K1的阈值电压写入至第二控制节点N2。除此之外,参考图10,在该复位阶段 t_1 ,栅极信号端G1提供的栅极驱动信号的电位以及发光控制信号端EM提供的发光控制信号的电位均为第二电位,除上述开启的晶体管外的其他晶体管均关断。该像素电路在复位阶段 t_1 的等效电路图可以参考图11(图中虚线是指未连通)。

[0172] 示例的,假设第二电源信号的电位为Vint0,开关晶体管K1的阈值电压为Vth1。则参考下述表1,在该复位阶段 t_1 中,第一控制节点N1的电位即为:Vint0;第二控制节点N2的电位即为:Vint0+Vth1;第三控制节点N3的电位即为:Vint0。

[0173] 表1

	复位阶段 t_1	数据写入阶段 t_2	发光阶段 t_3
N1	Vint0	VdataT	0
N2	Vint0+Vth1	VdataT+Vth1	$(VdataT+Vth1) * e^{(-t/r1*c1)}$
N3	Vint0	VdataI+Vth2	VdataI+Vth2

[0175] 继续参考图10,在数据写入阶段 t_2 中,栅极驱动信号端G1提供的栅极信号的电位为第一电位,第一数据信号端DI提供第一数据信号,第二数据信号端DT提供第二数据信号(图10未示出第一数据信号和第二数据信号)。第一数据写入晶体管D1、第二数据写入晶体

管D2和第四补偿晶体管B4均开启。第一数据信号端DI可以通过第二数据写入晶体管D2向第三连接节点P3输出第一数据信号,实现对第三连接节点P3的充电。第二数据信号端DT可以通过第一数据写入晶体管D1向第一控制节点N1输出第二数据信号,实现对第一控制节点N1的充电。另外,因补偿电容C1的耦合作用,第二控制节点N2的电位变为第二数据信号与开关晶体管K1的阈值电压之和。

[0176] 由于在复位阶段t1,第三控制节点N3被写入第二电位的第二电源信号,且存储电容C2存储了该第三控制节点N3的电位,因此在该数据写入阶段t2,驱动晶体管T1可以开启。此时,第三连接节点P3的电位通过该驱动晶体管T1输出至第四连接节点P4,第四补偿晶体管B4根据该第四连接节点P4的电位调整第三控制节点N3的电位。从而将第一数据信号和驱动晶体管T1的阈值电压写入至第三控制节点N3,存储电容C2继续存储该第三控制节点N3的电位。

[0177] 除此之外,参考图10,在该数据写入阶段t2,复位信号端RST提供的复位信号的电位以及发光控制信号端EM提供的发光控制信号的电位均为第二电位,除上述数据写入阶段t2中开启的晶体管外的其他晶体管均关断。该像素电路在数据写入阶段t2的等效电路图可以参考图12(图中虚线是指未连通)。

[0178] 示例的,假设第一数据信号的电位为 V_{dataI} ,第二数据信号的电位为 V_{dataT} ,驱动晶体管T1的阈值电压为 V_{th2} ,则参考上述表1,在该数据写入阶段t2中,第一控制节点N1的电位即变为: V_{dataT} ;第二控制节点N2的电位即为: $V_{dataT}+V_{th1}$;第三控制节点N3的电位即为: $V_{dataI}+V_{th2}$ 。

[0179] 继续参考图10,在发光阶段t3中,发光控制信号端EM提供的发光控制信号的电位为第一电位,第一发光控制晶体管M1、第二发光控制晶体管M2、第一补偿晶体管B1、第二补偿晶体管B2和开关控制晶体管Q1均开启。另外,因存储电容C2的存储作用,在该发光阶段t3,第三控制节点N3的电位为第一数据信号和驱动晶体管T1的阈值电压之和,驱动晶体管T1开启。第一电源端VDD通过第二发光控制晶体管M3向第三连接节点P3输出处于第一电位的第一电源信号,相应的,驱动晶体管T1基于第一电源信号和第三控制节点N3的电位向第四连接节点P4输出驱动电流。第四连接节点P4的电位可以通过该开关控制晶体管Q1继续输出至第一连接节点P1。

[0180] 另外,在该发光阶段t3,第二连接节点P2和发光元件L1导通。第三电源端VSS可以通过第一补偿晶体管B1、第二补偿晶体管B2、补偿电阻R1和补偿电容C1组成的RC放电回路,向第一控制节点N1输出第三电位的第三电源信号,拉低第一控制节点N1的电位。假设第三电源端VSS为地端,则即将第一控制节点N1接地。在补偿电容C1的耦合作用下,第二控制节点N2的电位开始降低,直至降低至使得开关晶体管K1导通为止。在开关晶体管K1导通时,即可以控制第一连接节点P1和第二连接节点P2导通,驱动电流可以进一步通过开关晶体管K1输出至第二连接节点P2,并再通过第一发光控制晶体管M1输出至发光元件L1,从而实现驱动发光元件L1发光。此阶段一直持续至发光控制信号端EM提供的发光控制信号的电位跳变为第一电位为止。

[0181] 除此之外,参考图10,在该发光阶段t3,栅极信号端G1提供的栅极驱动信号的电位以及发光控制信号端EM提供的发光控制信号的电位均为第二电位,除上述发光阶段t3中开启的晶体管外的其他晶体管均关断。该像素电路在发光阶段t3的等效电路图可以参考图

13。

[0182] 示例的,假设第一电源信号的电位为VDD1,第三电源信号的电位为0,第一数据信号的电位为VdataI,第二数据信号的电位为VdataT,开关晶体管K1的阈值电压为Vth1,驱动晶体管T1的阈值电压为Vth2,补偿电阻R1的阻值为r1,补偿电容C1的容值为c1。则参考上述表1,在该发光阶段t1,第一控制节点N1的电位即变为:0;第二控制节点N2的电位即变为: $(VdataT+Vth1)*e^{(-t/r1*c1)}$;第三控制节点N3的电位为:VdataI+Vth2。

[0183] 结合各节点电位,对驱动晶体管T1的阈值电压Vth1补偿原理介绍如下:

[0184] 首先,若将驱动晶体管T1的栅极(如第三控制节点N3)的电位记为Vg1,将驱动晶体管T1的源极(如第三连接节点P3),且将驱动晶体管T1的栅源电压记为Vgs1,则本公开实施例提供的Vgs1可以满足:

[0185] $Vgs1 = Vg1 - Vs1 = VDD - (VdataI + Vth2)$ 公式(1);

[0186] 由于驱动晶体管T1产生的驱动电流I_{led}满足:

[0187] $I_{led} = k * (Vgs1 - Vth2)^2$ 公式(2);

[0188] 将公式(1)计算得出的Vgs1代入公式(2)即可以得出本公开实施例记载的驱动晶体管T1最终输出的驱动电流I_{led}满足:

[0189] $I_{led} = k * (Vgs1 - Vth2)^2 = k * (VDD1 - VdataI)^2$ 公式(3);

[0190] 其中,k为驱动晶体管T1自身特性,由驱动晶体管T1的载流子迁移率、栅极绝缘层的电容以及的宽长比决定。从上述公式(3)可以看出,在发光元件L1正常工作时,用于驱动发光元件L1的驱动电流I_{led}的大小只与第一电源端VDD提供的第一电源信号,以及第一数据信号端DI提供的第一数据信号的有关,而与驱动晶体管T1的阈值电压无关。因此输出至发光元件L1的驱动电流不会受驱动晶体管T1阈值电压漂移的影响,有效保证了显示均一性。

[0191] 需要说明的是,若发光元件L1为Micro LED,由于在低电流密度下Micro LED的发光效率变化较为明显,因此可以通过灵活设置第一数据信号端DI提供的第一数据信号的电位,即灵活设置VdataI,使得Micro LED能够工作在高电流密度下,即发光效率稳定区域,保证显示稳定性。

[0192] 结合各节点电位,对开关晶体管K1的阈值电压Vth2补偿原理介绍如下:

[0193] 在本公开实施例中,开关晶体管K1导通条件为栅源电压差的绝对值大于等于阈值电压的绝对值,假设开关晶体管K1的栅极电位记为Vg2,源极电位记为Vs2,栅源电压差记为Vgs2,则导通条件即为 $|Vgs2| \geq |Vth1|$ 。在RC放电回路的作用下,Vgs2可以满足:

[0194] $Vgs2 = Vg2 - Vs2 = (VdataT + Vth1) e^{(-t/r1*c1)} - Vs2$ 公式(4);

[0195] 其中t是指放电时间。将上述公式(4)与 $|Vgs1| \geq |Vth1|$ 结合,即可以得出:

[0196] $Vs2 - (VdataT + Vth1) e^{(-t/r1*c1)} + Vth1 \geq 0$ 公式(5);整理得出本公开实施例记载的第二控制节点N2的电位满足下述条件时,开关晶体管K1开启:

[0197] $Vs2 - VdataT * e^{(-t/r1*c1)} + (1 - e^{(-t/r1*c1)}) * Vth1 \geq 0$ 公式(6)。

[0198] 根据上述公式(6)可以看出,对开关晶体管K1的阈值电压Vth1补偿后,系数值变为: $1 - e^{(-t/r1*c1)}$;若未补偿该开关晶体管K1的阈值电压,系数值为 $e^{(-t/r1*c1)}$ 。

[0199] 图14示出了补偿前的系数示意图;图15示出了补偿后的系数示意图。其横轴均表示时间,纵轴均表示得出的系数值。对比图14和图15可以看出,对开关晶体管K1的阈值电压补偿前系数值约为1,补偿后系数值约为0.001。相应的,即有效降低了开关晶体管K1的阈值

电压漂移对发光元件L1发光时长造成的影响。通过对开关晶体管K1的阈值电压,以及对驱动晶体管T1的阈值电压进行补偿,有效降低了阈值电压漂移对显示均一性造成的影响,大大减轻了显示装置的不均匀(mura)现象,提高了显示装置的显示效果。

[0200] 下述实施例对第二数据信号对发光时长的影响,即控制发光元件L1发光时长的原理进行介绍:图16示出了发光时长和第二数据信号端DT提供的第二数据信号的电位的关系。其横轴可以是指时间t00,纵轴可以是指电位(单位:伏特V)。参考图16可以看出,第二数据信号的电位越大(如VdataT1),第二控制节点N2的电位降至能够使得开关晶体管K1开启的电位V1所需的时间越长;第二数据信号的电位越大(如VdataT2),第二控制节点N2的电位降至能够使得开关晶体管K1开启的电位V1所需的时间越短。

[0201] 相应的,图16还示出了发光元件L1对应的发光时长时序。较大电位的第二数据信号VdataT1对应的发光时长(emission time1)t01,小于较小电位的第二数据信号VdataT2对应的发光时长(emission time2)t02。由于每帧显示阶段内,发光元件L1的发光亮度和发光时长呈线性关系,因此发光元件L1在不同的发光时长下对应的发光亮度也不同。即通过对发光时长的控制,也灵活的实现了对灰阶的调整。

[0202] 例如,图17还示出了不同第二数据信号的电位和发光时长的仿真结果,其横轴是指时间t00(单位毫秒:ms),纵轴是指电位(单位:V)。假设驱动开关晶体管K1开启的第二控制节点N2的电位V_{N2}约为1V,参考图17可以看出从不同大小的第二数据信号降至1V左右所需时长不同。如从2V降至1V左右所需时长t00为798.28微秒(μs);从3V降至1V左右所需时长t00为1.2082ms;从4V降至1V左右所需时长t00为1.4953ms;从5V降至1V左右所需时长t00为1.7156ms。降至1V左右所需时长越长,发光元件L1的发光时长相应的越短。

[0203] 可选的,第二数据信号的电位VdataT和第二控制节点N2的电位V_{N2}满足:

[0204] $V_{N2} = (V_{dataT} - V_{int0}) * e^{(-t/r1 * c1)}$ 公式(7);

[0205] 根据公式(7)可以推导出发光元件L1的发光时长t00可以满足:

[0206] $t00 = r1 * c1 * \ln[(V_{dataT} - V_{int0}) / V_{N2}]$ 公式(8)。

[0207] 通过基于驱动电流和发光时长的双重控制,可以有效确保显示均一性。

[0208] 综上所述,本公开实施例提供了一种像素电路的驱动方法。由于该方法中,补偿电路可以根据第一控制节点的电位调整第二控制节点(即控制第一连接节点和第二连接节点通断的晶体管的栅极)的电位,且可以根据第二连接节点(即控制第一连接节点和第二连接节点通断的晶体管的第二极)的电位调整第二控制节点的电位。因此在对像素电路进行驱动时,可以通过控制各控制信号的电位,使得最终输出至第二控制节点的电位受该晶体管的阈值电压影响较小,即降低了阈值电压漂移对显示均一性造成的影响,本公开实施例提供的显示装置显示效果较好。

[0209] 可选的,图18是本公开实施例提供的一种显示基板的结构示意图。如图18所示,该显示基板001可以包括:多个像素单元00。多个像素单元00中,每个像素单元00可以包括发光元件L1,至少一个像素单元01可以包括如图2至图8任一所示的像素电路01。例如,图18示出的显示基板001包括的每个像素单元00均包括如图2至图8任一所示的像素电路01。

[0210] 可选的,该发光元件可以包括:微型发光二极管Micro LED。

[0211] 图19是本公开实施例提供的一种显示装置的结构示意图。如图19所示,该显示装置可以包括:信号驱动电路02,以及如图18所示的显示基板001。

[0212] 其中,该信号驱动电路02可以与显示基板001包括的像素电路01中的各信号端耦接,信号驱动电路02可以用于为各信号端提供信号。

[0213] 例如,该信号驱动电路02可以包括栅极驱动电路和源极驱动电路,栅极驱动电路可以与像素电路01中的栅极信号端G1连接,为栅极信号端G1提供栅极信号。源极驱动电路可以与像素电路01中的第一数据信号端DI和第二数据信号端DT连接,为第一数据信号端DI和第二数据信号端DT提供数据信号。

[0214] 需要说明的是,栅极驱动电路可以通过栅线与栅极信号端G1连接,源极驱动电路可以通过数据信号线与数据信号端DI和DT连接。且,位于同一行的像素电路包括的栅极信号端G1可以与同一条栅线连接,位于同一列的像素电路包括的第一数据信号端DI可以与同一条第一数据线连接,位于同一列的像素电路包括的第二数据信号端DT可以与同一条第二数据线连接。

[0215] 在正常工作时,栅极驱动电路可以通过各条栅线依次向各行像素电路连接的栅极信号端G1输出处于第一电位的栅极驱动信号。另外,源极驱动电路在不同时刻,向同一条第一数据线输出的第一数据信号的电位可能不同,即源极驱动电路通过同一条第一数据线,向位于同一列且不同行的各个像素电路包括的各个第一数据信号端DI输出的第一数据信号的电位可能不同;第二数据信号端DT同理,在此不再赘述。

[0216] 例如,以位于第一行第一列和第二行第一列的两个像素电路,且该两个像素电路的第一数据信号端DI连接的同一条第一数据线称为第一条数据线为例。假设在驱动第一行像素电路时的数据写入阶段,源极驱动电路通过第一条数据线向位于第一行第一列的像素电路提供的第一数据信号的电位为VdataI1。在驱动第二行像素电路时的数据写入阶段,源极驱动电路通过该第一条数据线向位于第二行第一列的像素电路提供的第一数据信号的电位为VdataI2。则VdataI1和VdataI2可能相同,也可能不同。

[0217] 可选的,该显示装置可以为:Micro LED显示装置、液晶面板、电子纸、OLED面板、AMOLED面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框等任何具有显示功能的产品或部件。

[0218] 所属领域的技术人员可以清楚地了解到,为描述的方便和简洁,上述描述的像素电路、显示基板和显示装置的具体工作过程,可以参考前述方法实施例中的对应过程,在此不再赘述。

[0219] 以上所述仅为本公开的可选实施例,并不用以限制本公开,凡在本公开的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本公开的保护范围之内。

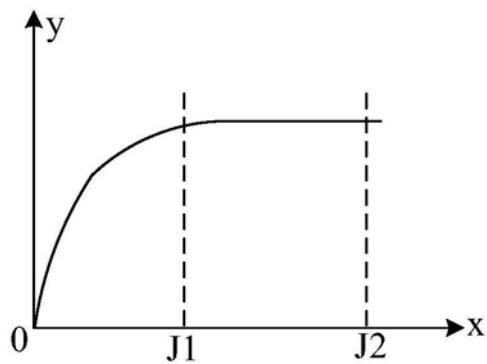


图1

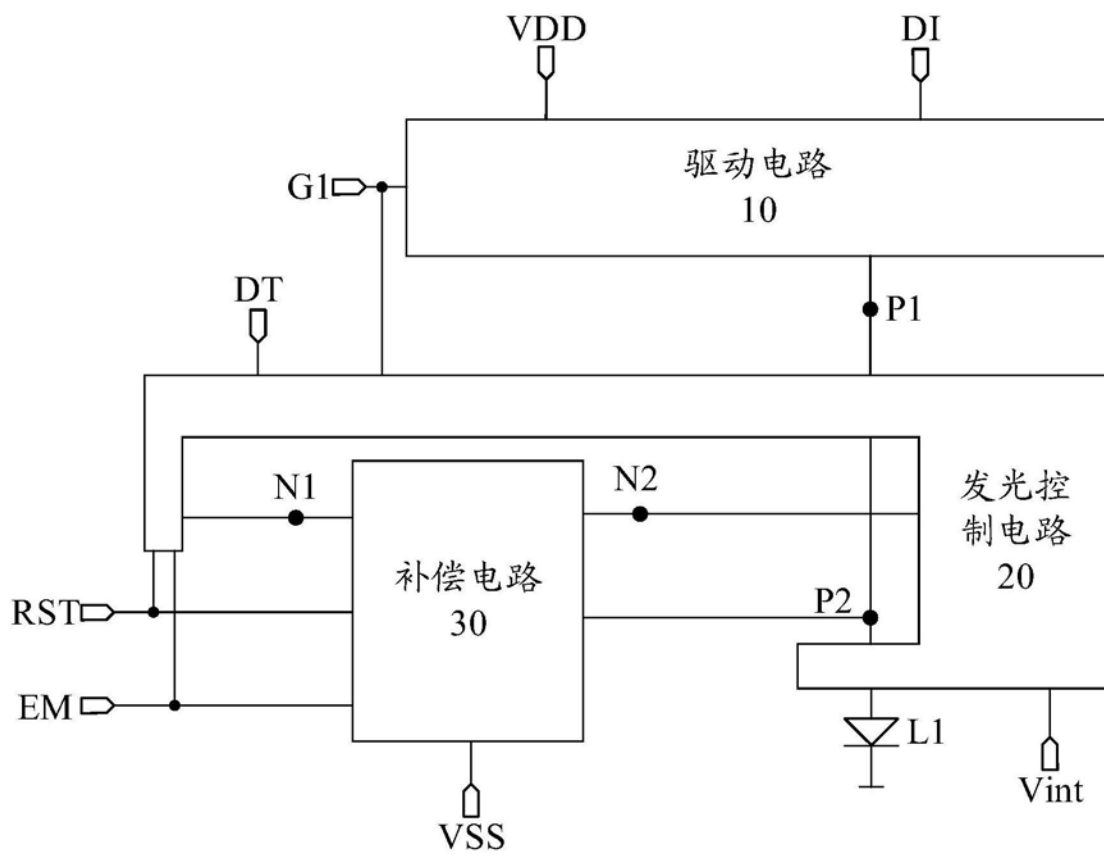


图2

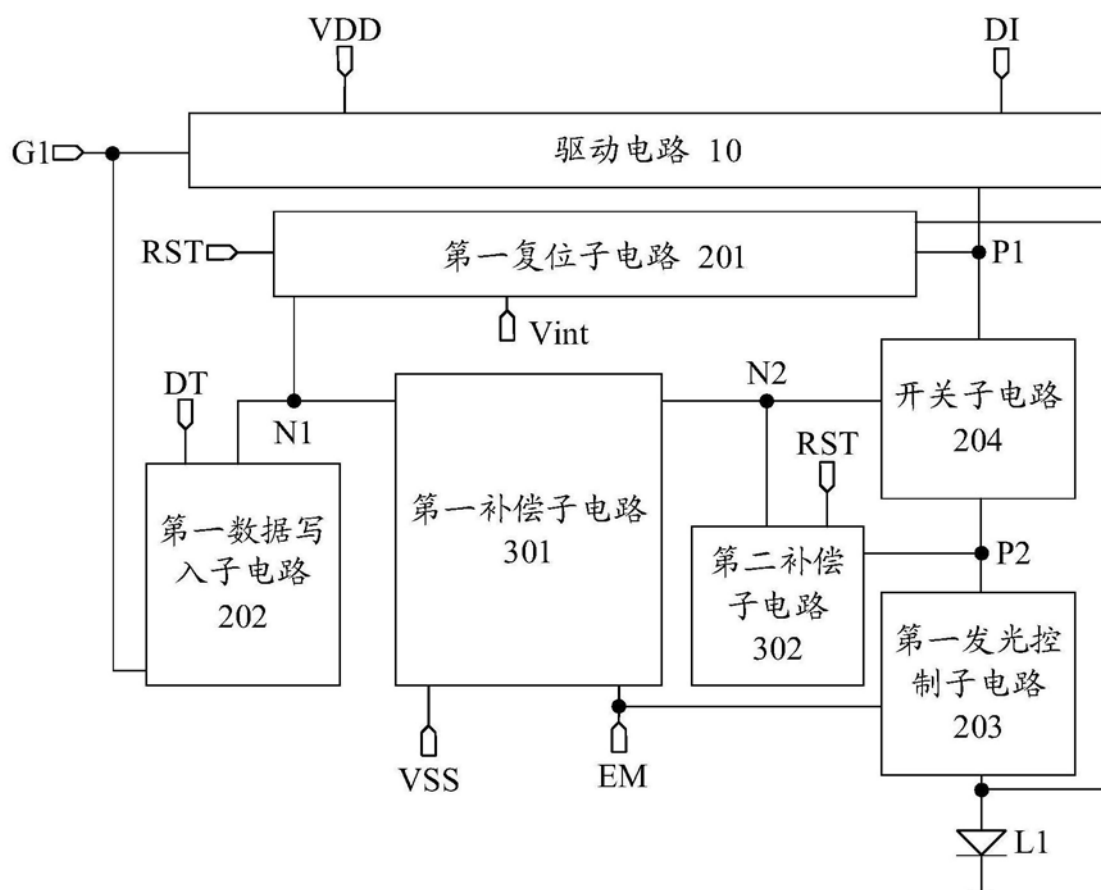


图3

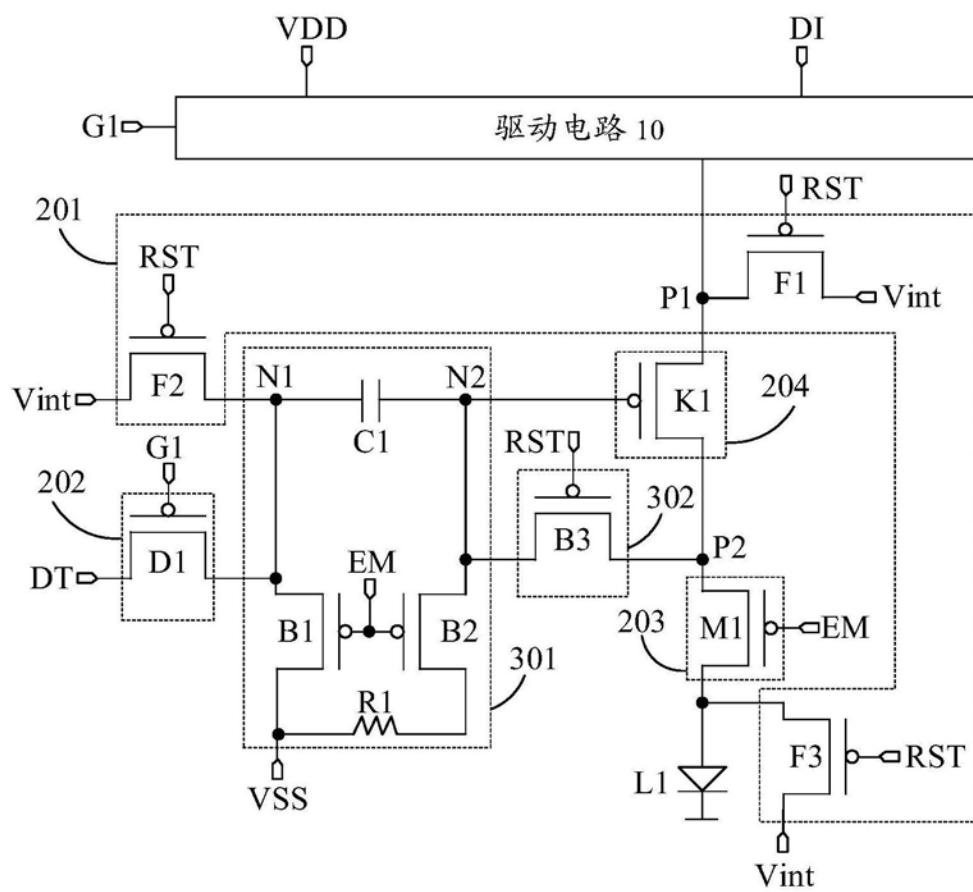


图4

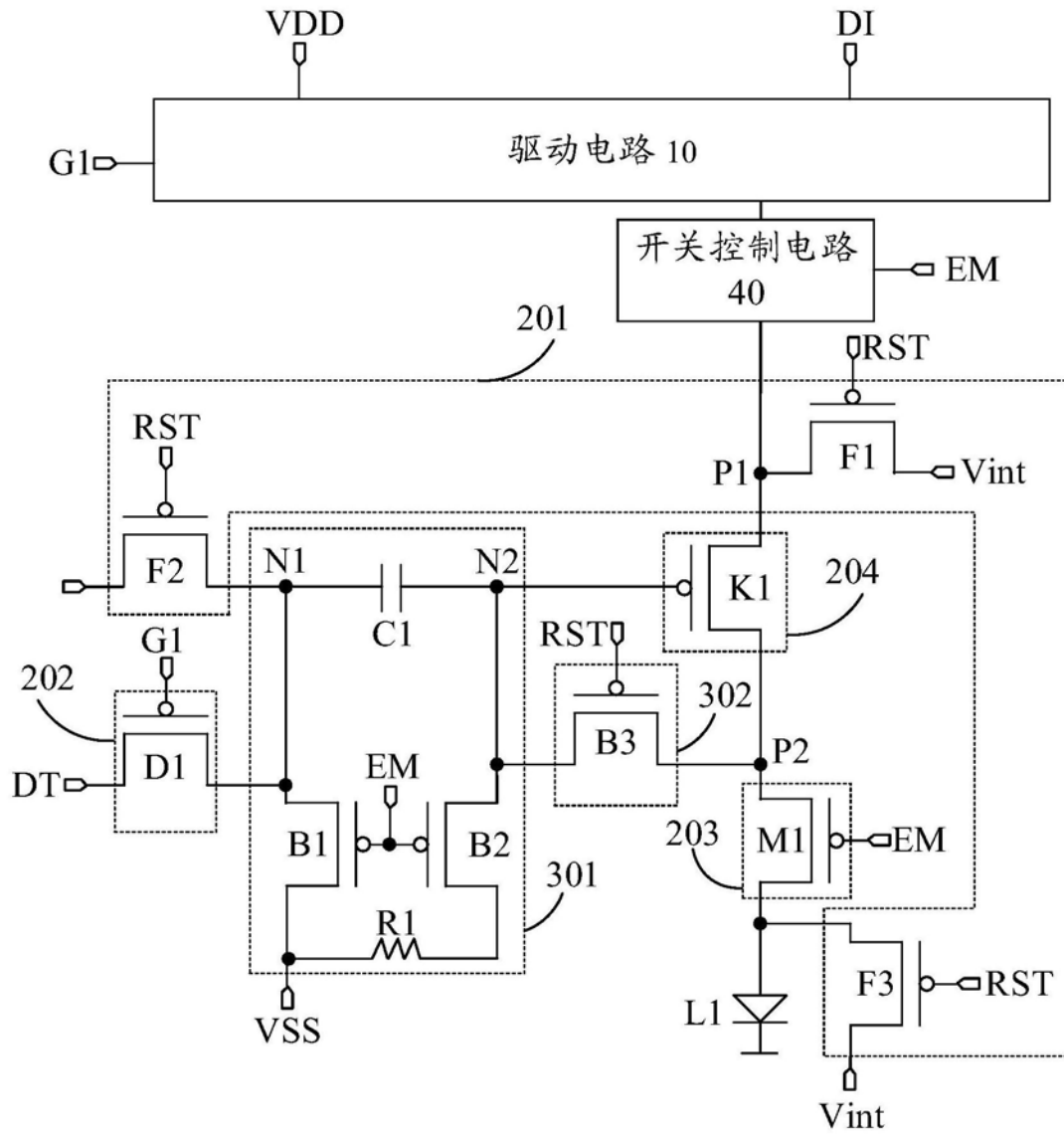


图5

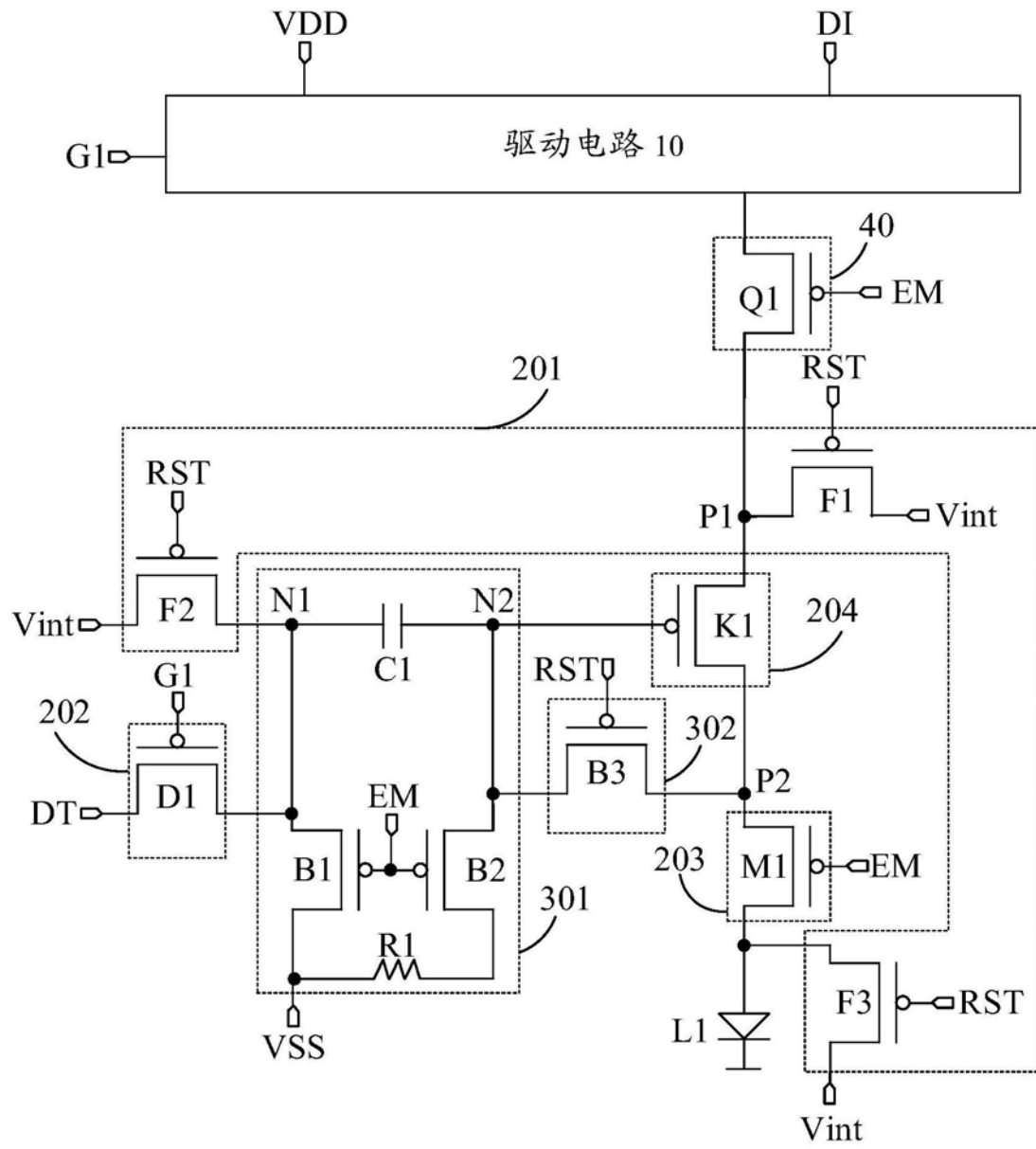


图6

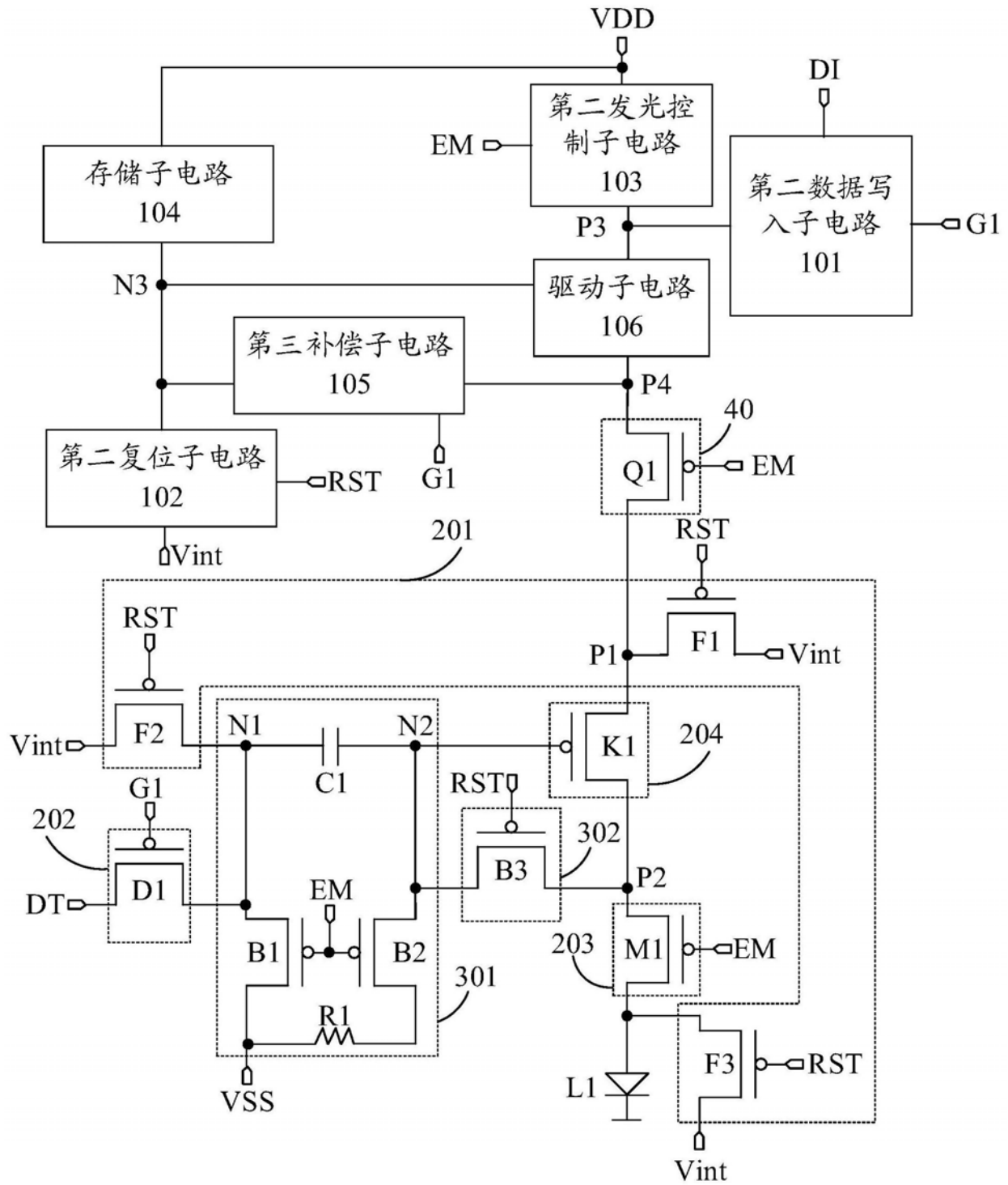


图7

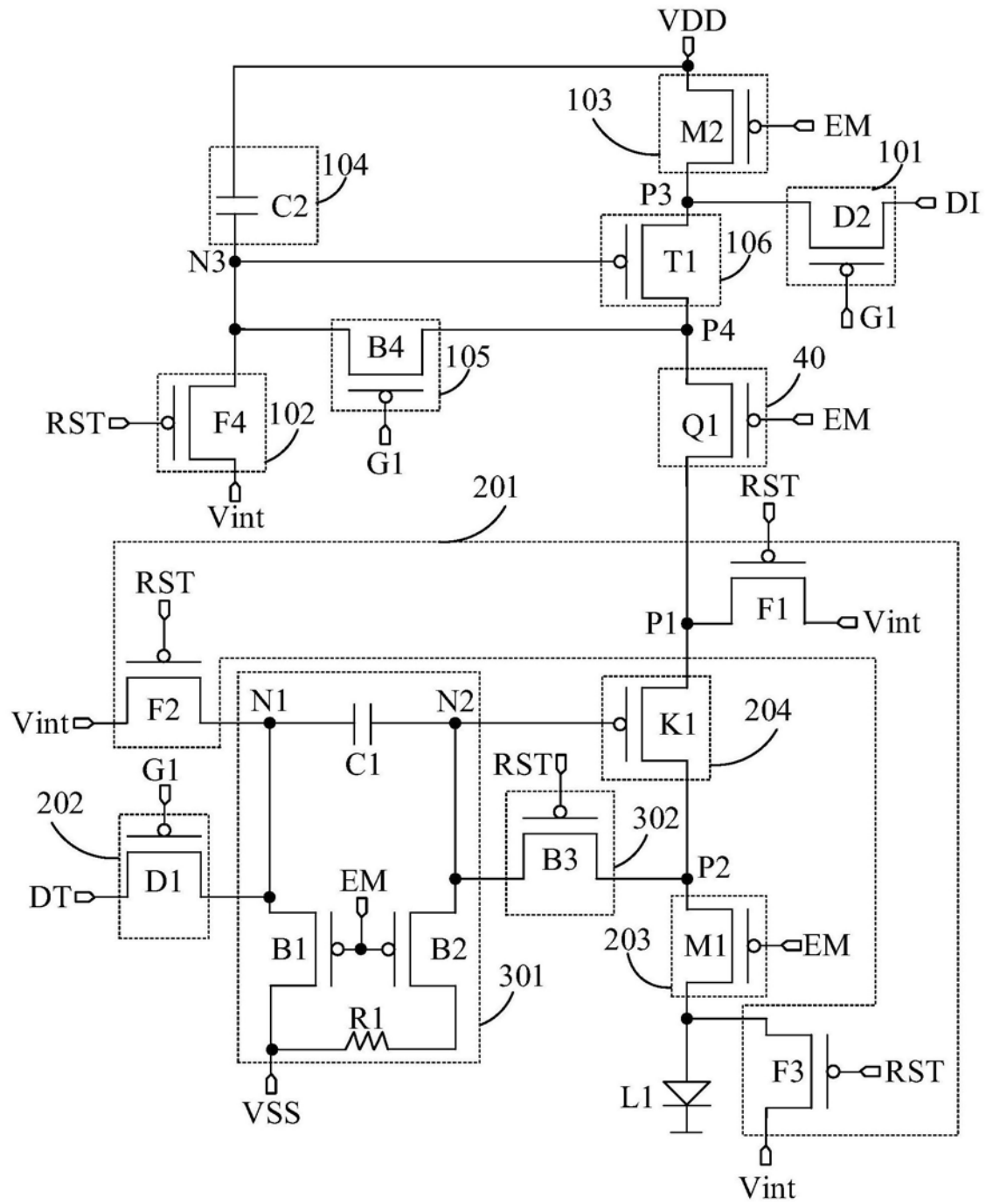


图8

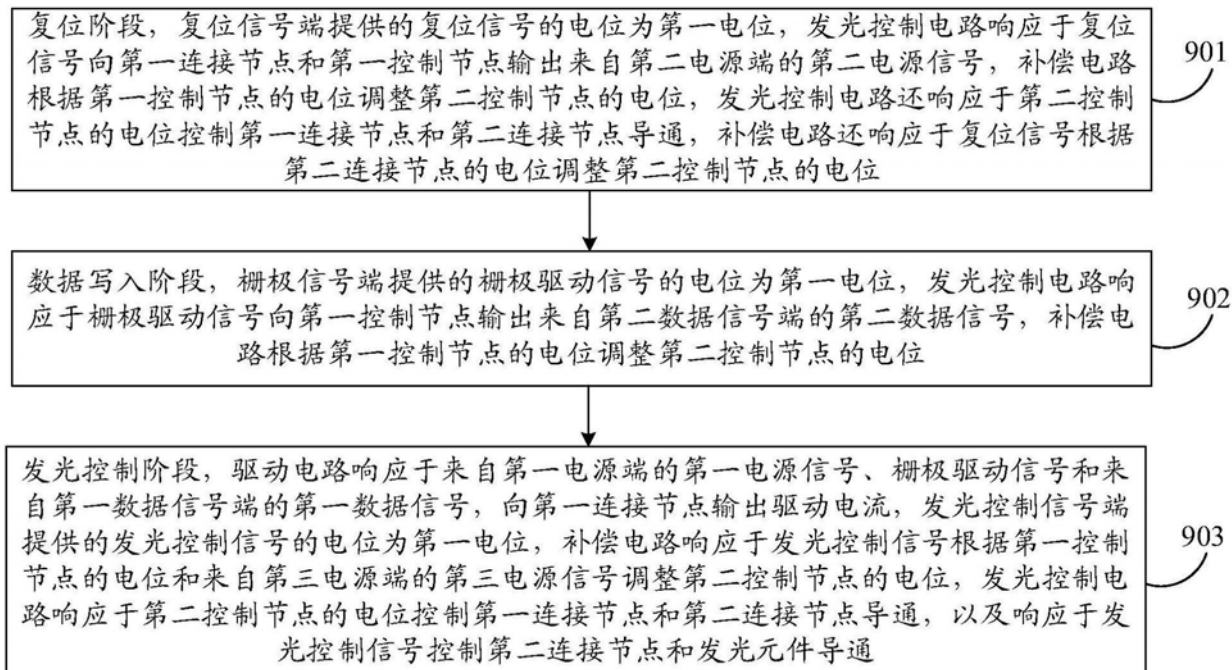


图9

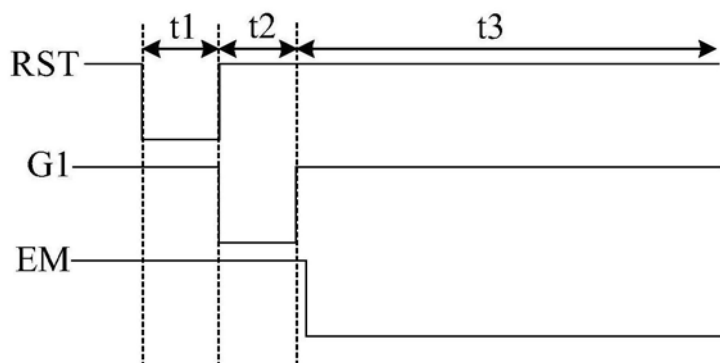


图10

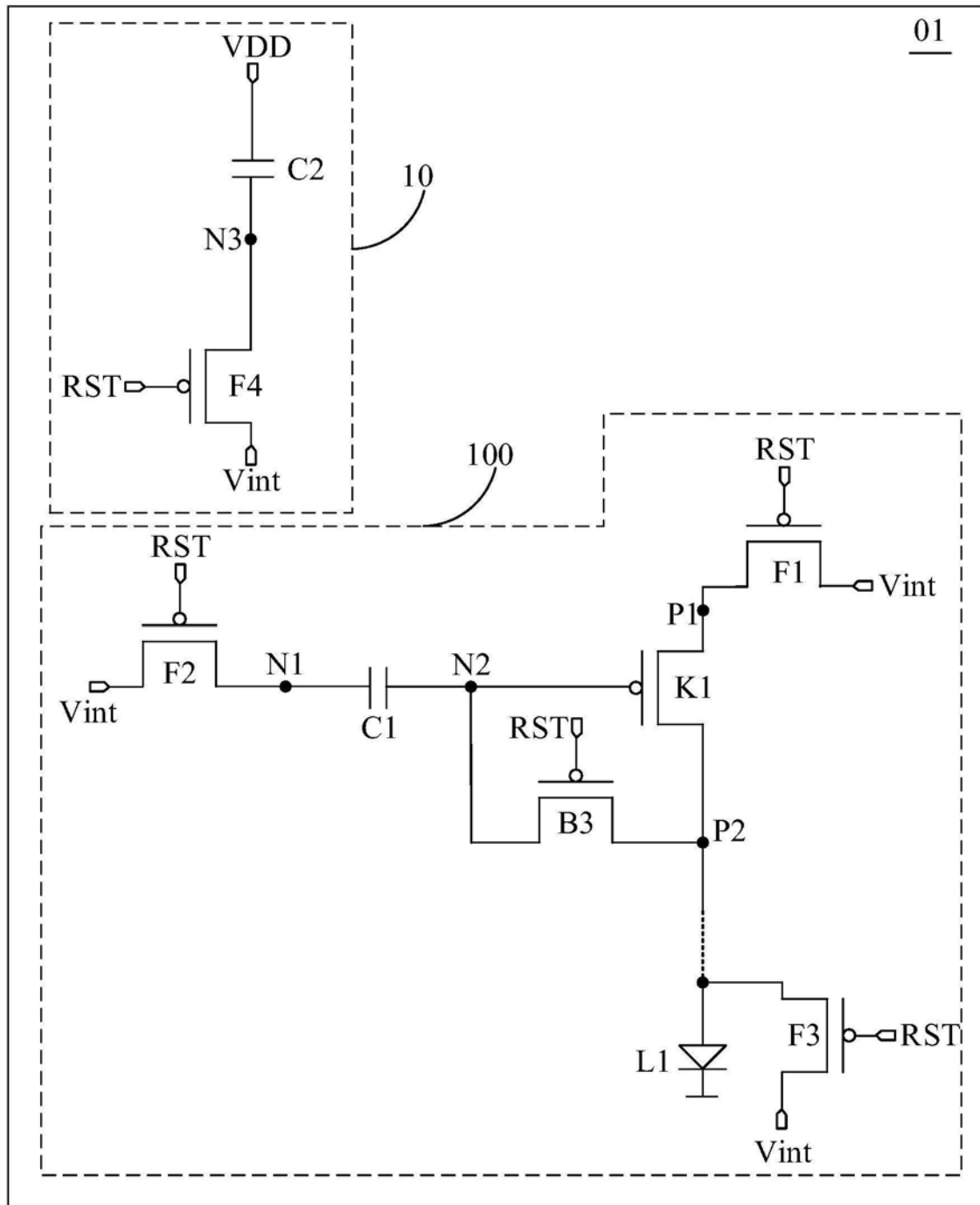


图11

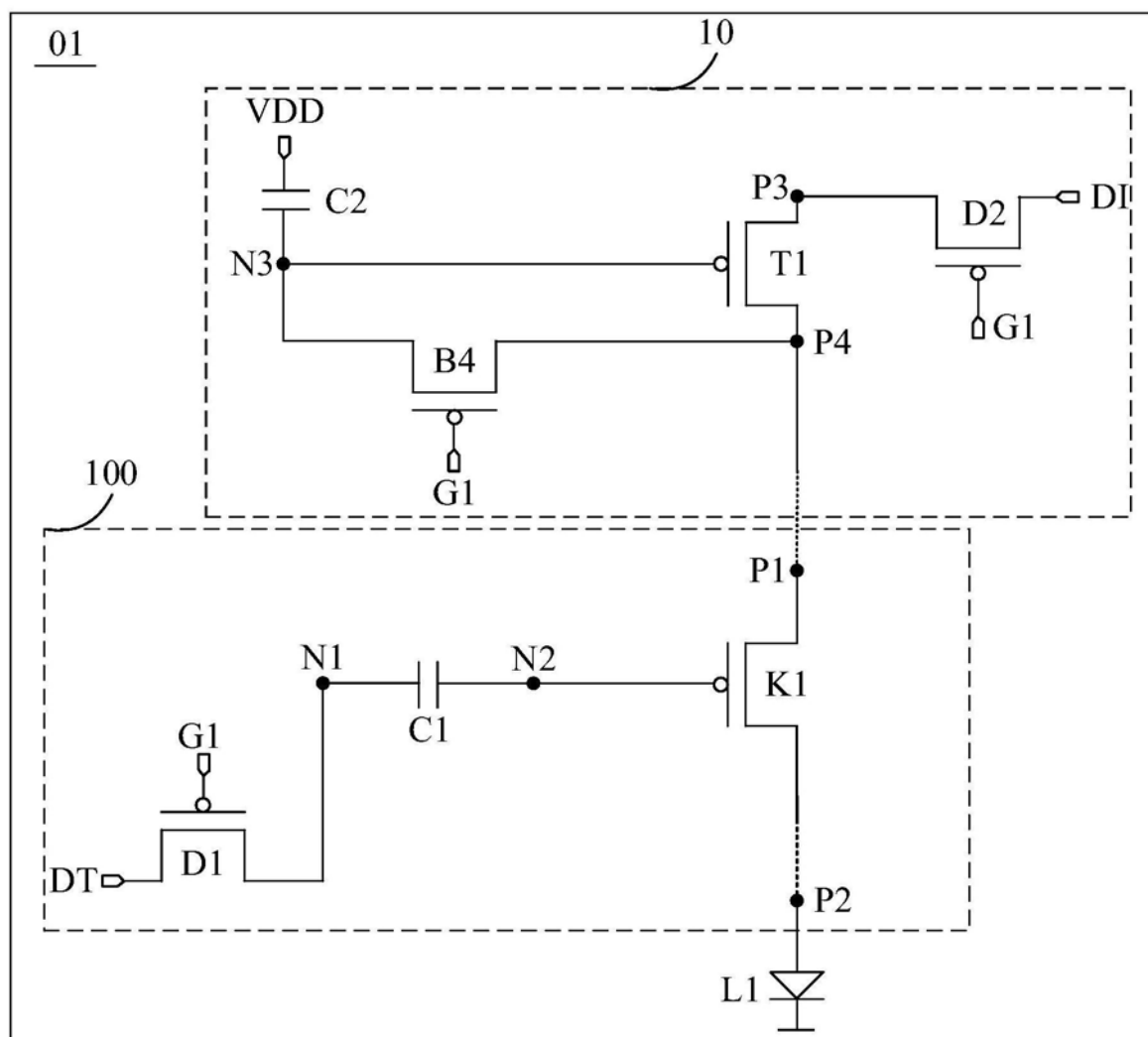


图12

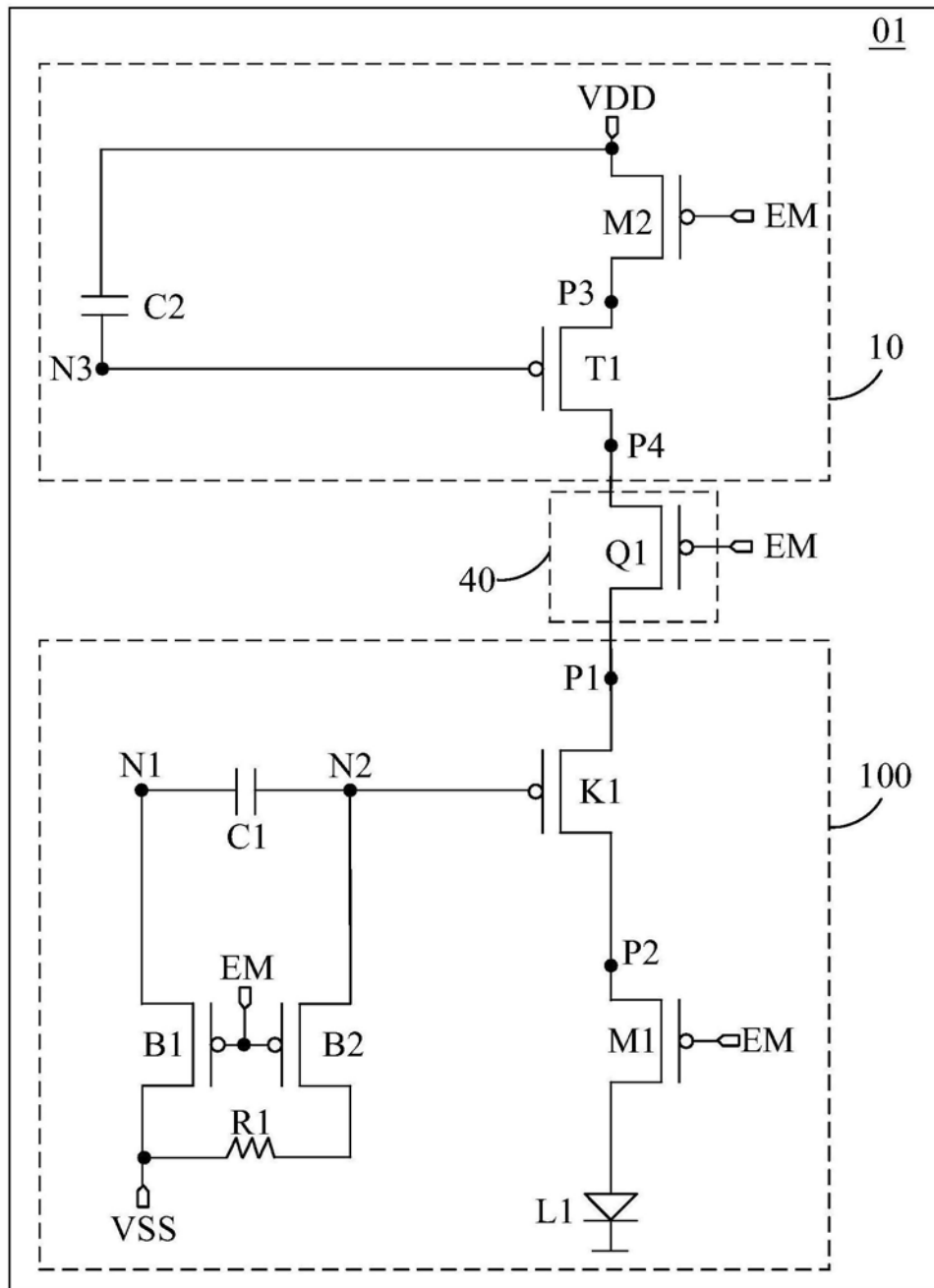


图13

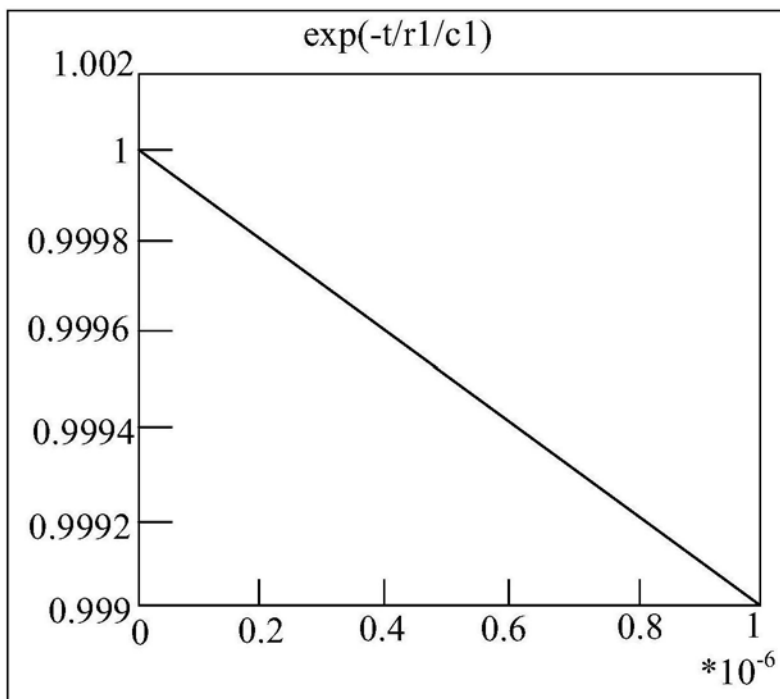


图14

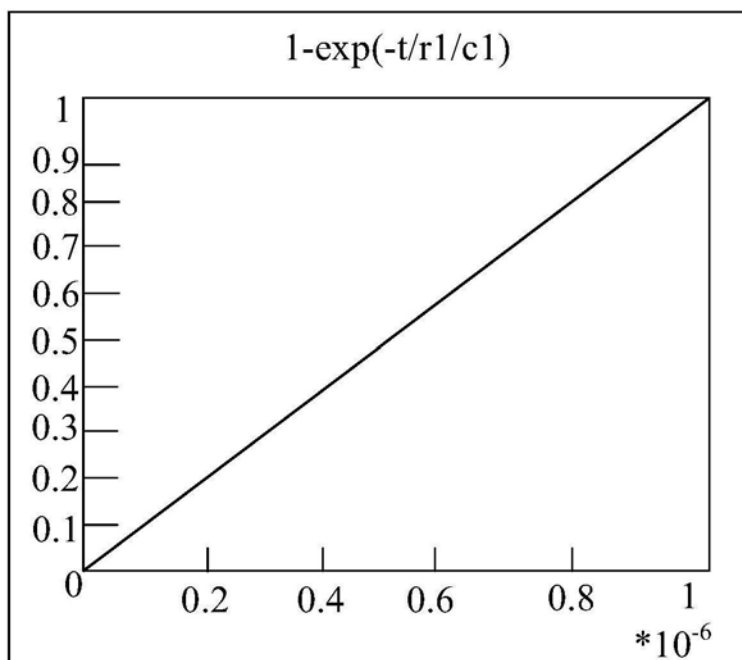


图15

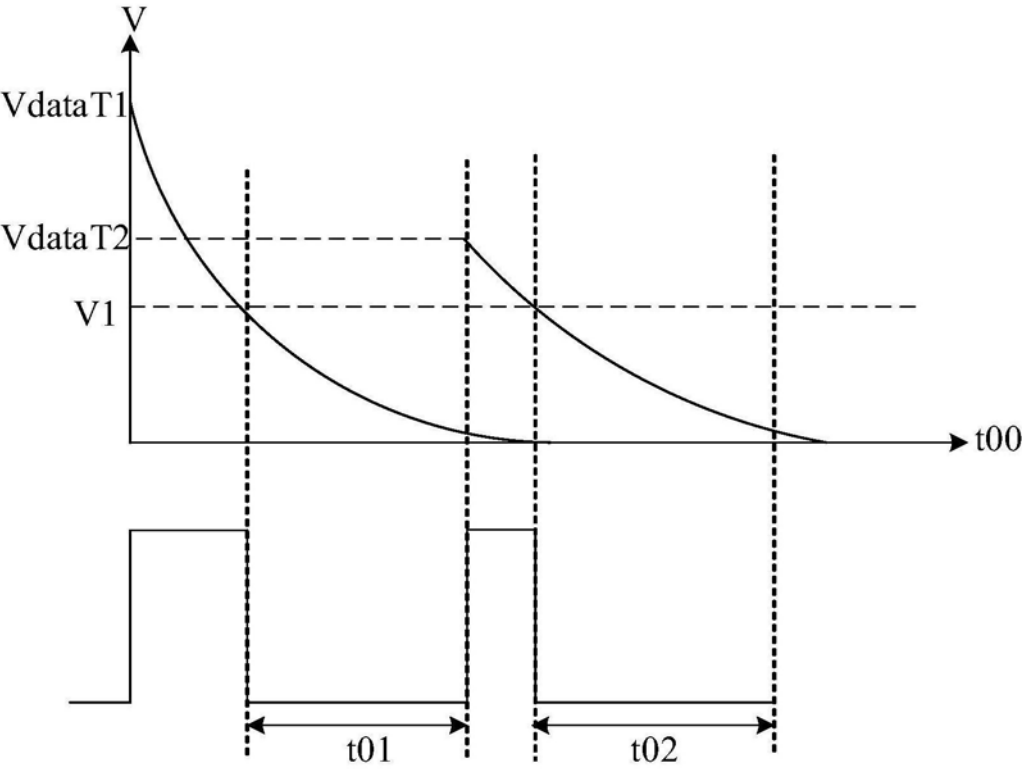


图16

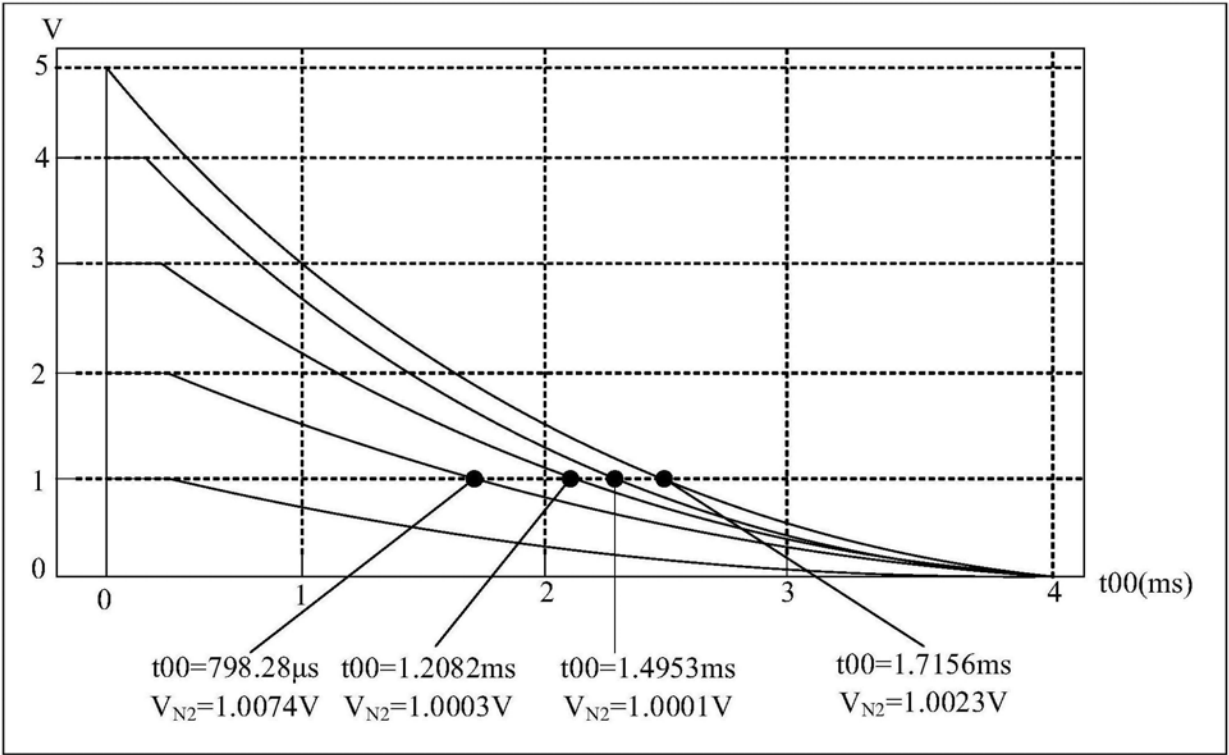


图17

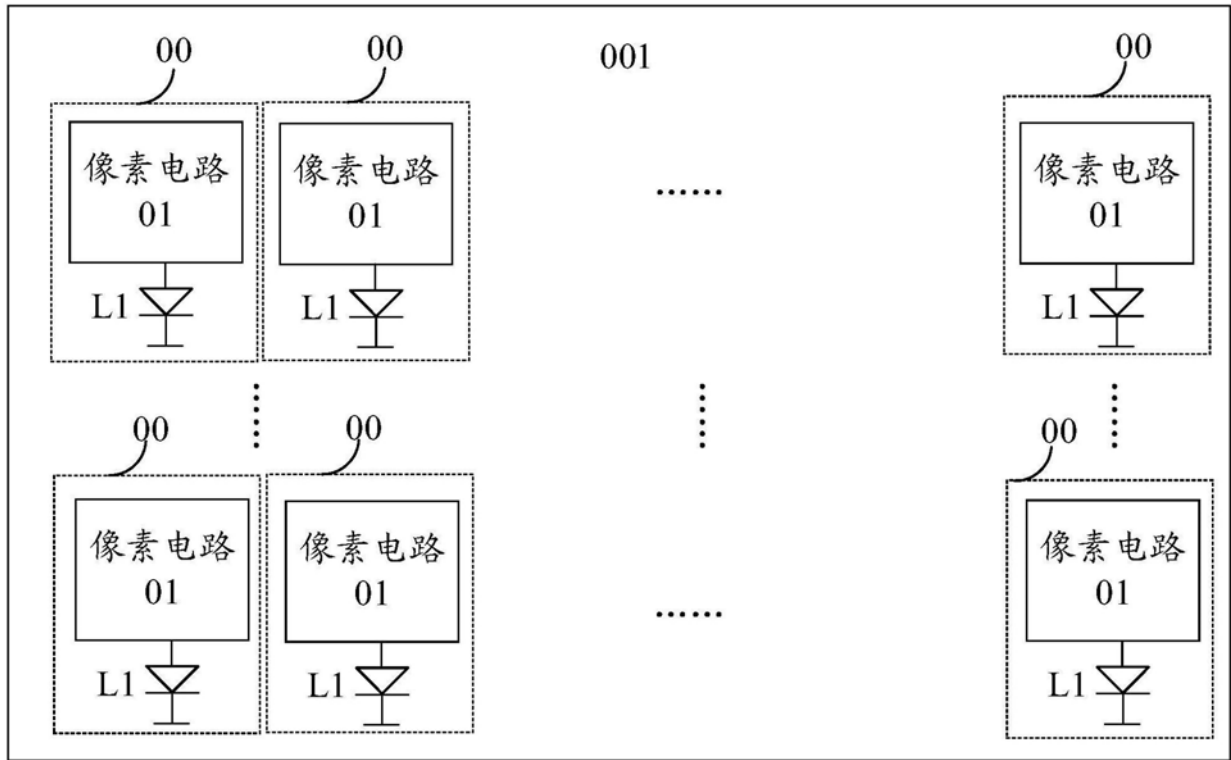


图18

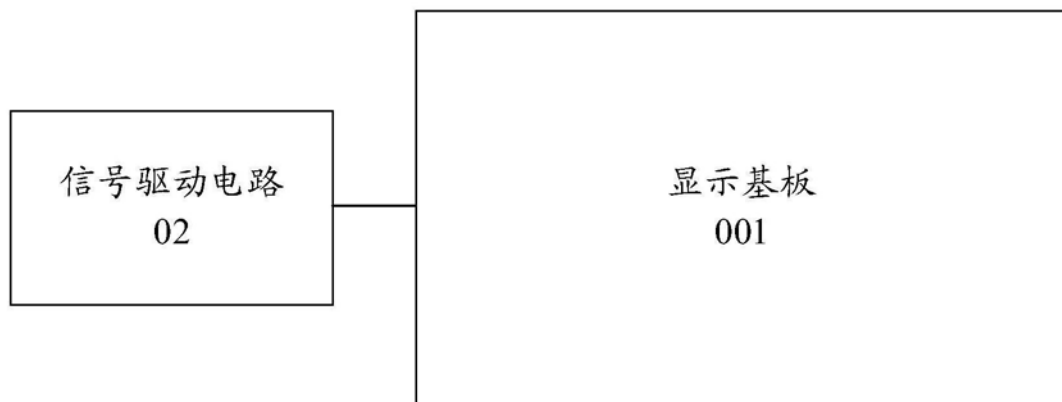


图19

专利名称(译)	像素电路及其驱动方法、显示基板、显示装置		
公开(公告)号	CN111223443A	公开(公告)日	2020-06-02
申请号	CN202010188767.7	申请日	2020-03-17
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方显示技术有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方显示技术有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方显示技术有限公司		
[标]发明人	丛宁 玄明花 张粲 杨明 王灿 袁丽君		
发明人	丛宁 玄明花 张粲 杨明 王灿 袁丽君		
IPC分类号	G09G3/32		
代理人(译)	杨广宇		
外部链接	Espacenet SIPO		

摘要(译)

本申请提供了一种像素电路及其驱动方法、显示基板、显示装置，属于显示技术领域。该像素电路包括补偿电路，由于该补偿电路可以根据第一控制节点的电位调整第二控制节点(即控制第一连接节点和第二连接节点通断的晶体管的栅极)的电位，且可以根据第二连接节点(即控制第一连接节点和第二连接节点通断的晶体管的第二极)的电位调整第二控制节点的电位。因此在对像素电路进行驱动时，可以通过控制各控制信号的电位，使得最终输出至第二控制节点的电位受该晶体管的阈值电压影响较小，即降低了阈值电压漂移对显示均一性造成的影响，本申请提供的显示装置显示效果较好。

